新規構造による高利得・低電圧の印刷型有機 source-gated トランジスタ

Novel device structure for printed organic source-gated transistors with high gain and low operation voltage

山形大 ROEL[1], Univ. of Surrey[2] ○(M1)池田 侑司[1], (M1)逸見 悠大[1], Radu Sporea[2], 松井 弘之[1]

Research Center for Organic Electronics (ROEL), Yamagata Univ.[1], Univ. of Surrey[2]

○Yuji Ikeda[1], Yudai Henmi[1], Radu Sporea[2], Hiroyuki Matsui[1]

E-mail: t211288m@yz.yamagata-u.ac.jp, h-matsui@yz.yamagata-u.ac.jp

[緒言] ウェアラブルデバイスの普及が進む中で、低電力動作と高利得増幅を持ち合わせた有機トランジスタ(OFET)回路の開発が求められている。ソース電極に意図的なショットキー障壁を設けた Source-Gated Transistor (SGT)は低電圧動作や高利得などの特徴から、ウェアラブルデバイスへの応用に適している。昨年、本研究室では電界緩和構造を用いた OSGT を報告したが、歩留まりが低く回路への応用は困難であった[1]。本研究では新規構造を用いた OSGT を開発し、歩留まりを低下させることなく、従来の OFET 構造と比較して低電圧化・高利得化に成功したので報告する。

[実験方法] Fig. 1 に従来の OFET 構造(構造 1)と、新規 OSGT 構造(構造２)を示す。基板には青板ガラス、下部絶縁膜とゲート絶縁膜にはパリレン(dix-SR)を CVD 法で成膜し、電極は銀ナノ粒子インク(NPS-JL,ハリマ化成)をインクジェット印刷することにより作製した。ソース・ドレイン電極をペンタフルオロベンゼンチオール溶液に浸漬することで自己組織化単分子膜(SAM)処理を行い、ショットキー障壁を小さくした。テフロンで撥液バンクを作製し、その内側に Ph-BTBT-C10 をディスペンサによって塗布した。デバイスは四種類(構造１と構造２それぞれに SAM 処理したものとしていないもの)を比較した。

[結果・考察] Fig. 2 に今回得られた出力特性を示す。構造 1 と構造 2 を比較すると、SAM の有無に関わらず構造２の方が低電圧で飽和し、平坦な飽和電流が得られた。SAM の有無で比較すると SAM を施していない構造の方がより低電圧で飽和しているが、SAM を施した構造の方がより平坦な飽和電流が得られた。理論上の最大利得を飽和領域の出力抵抗とトランスコンダクタンスから見積もったところ、SAM を施した構造１で 5、構造２で 260 と大幅な増加を示しており、SAM を施していない場合も同様に構造 1 で 10、構造２で 78 と大幅な増加を示した。これらの結果より、下部電極がドレイン電界を緩和する役割を果たし、高出力抵抗による高利得化や低電圧飽和へと繋がったと考えられる。

[参考文献] [1]逸見、松井、他、春季応用物理学会、14p-A410-8(2020)

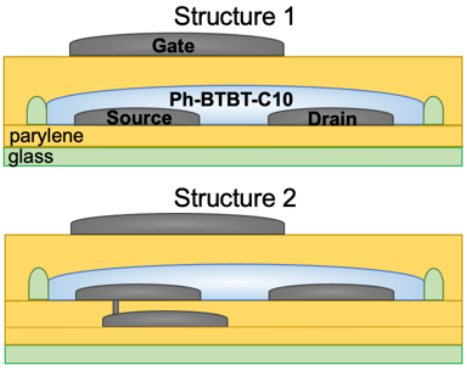

Fig.1 Device Structure

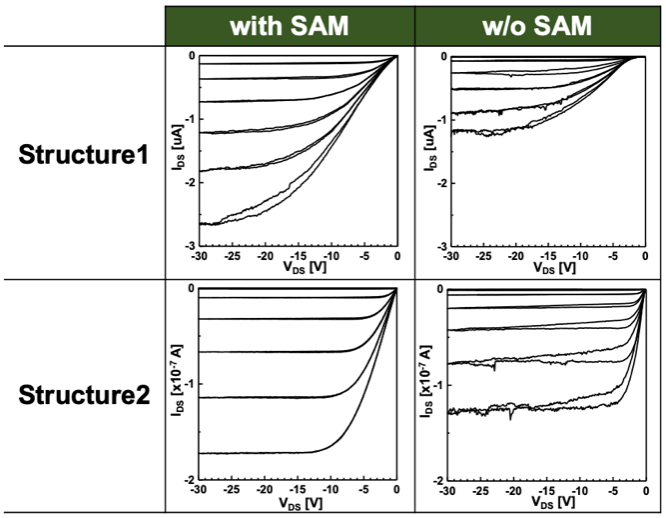

Fig.2 Output characteristics V_{GS}= 0V to -30V, step -5V