

化学修飾したソースドレイン電極を有する 有機トランジスタメモリの書込特性

Programming characteristics of organic transistor memories
with chemically modified source-drain electrodes

大阪府立大¹, 大阪府立大 分子エレクトロニックデバイス研²

○西田直之¹, 服部励太郎¹, 永瀬 隆^{1,2}, 小林隆史^{1,2}, 内藤裕義^{1,2}

Osaka Pref. Univ.¹, RIMED²

○Naoyuki Nishida¹, Reitaro Hattori¹, Takashi Nagase^{1,2}, Takashi Kobayashi^{1,2}, Hiroyoshi Naito^{1,2}

E-mail: naoyuki.nishida.oe@pe.osakafu-u.ac.jp

1. はじめに トップゲート有機トランジスタ (有機FET) に可溶性低分子半導体と高分子絶縁体の混合膜を積層することで、溶液プロセスを用いた不揮発性有機メモリの作製が可能となる[1]。これまでに我々は、半導体層に両極性高分子半導体を用いることでソース-ドレイン (S-D) 電極から半導体層への電子注入が可能となり、暗状態で書込可能な有機FETメモリが作製できることを報告した[2]。本研究では、電子注入性の自己組織化単分子膜 (SAM) で化学修飾したS-D電極を有する有機FETメモリの書込消去特性を調べた。その結果、電子注入性SAMを有するメモリでは電荷蓄積層への正孔トラッピングによる閾値電圧シフトが比較的容易に生じることが分かった。

2. 実験 図1(a), (b)に作製した有機FETメモリ素子の構造とエネルギーバンド図を示す。架橋poly(4-vinylphenol) (PVP) を塗布したガラス基板上にフォトリソグラフィを用いてS-D電極 (Cr/Au) を作製した。電極基板を4-(dimethylamino)benzenethiol (DABT) 溶液に浸漬し、Au電極上に電子注入層を形成した。半導体層として両極性高分子半導体poly(2,5-bis(2-octyldodecyl)-3,6-di(pyridin-2-yl)-pyrrole-[3,4-c]pyrrole-1,4(2H,5H)-dione-alt-2,2'-bithiophene) (PDBPyBT) をスピコートし、直交溶媒 (酢酸ブチル) を用いてpoly(methylmethacrylate) (PMMA)と6,13-bis(triisopropylsilyl)ethynyl)pentacene (TIPS-pentacene) の混合体 (重量比80:20) を塗布することで電荷蓄積層を形成した[3]。ゲート絶縁層 (CYTOP/parylene積層膜) 及びゲート電極 (AlまたはCs₂CO₃/Al) を作製した後、ゲート電極を介して有機膜を酸素プラズマエッチングすることで基板上の素子を分離した。

3. 結果及び考察 図1(c)にDABTで修飾したAu S-D電極を有するPDBPyBT FETメモリの伝達特性を示す。DABT/Au電極は低い仕事関数 (-4.37 eV) を有し、PDBPyBTのLUMO準位 (-4.33 eV) への電子注入が可能となることで良好なn型のFET特性を示した。また、負ゲート電圧 ($V_G = -60$ V) を印加した際には伝達特性は負電圧側にシフトし、電荷蓄積層への正孔のトラッピングに起因したメモリ特性を示した。図1(d)にゲート電極にAlを用いたメモリの書込電圧に対する閾値電圧シフト量 (ΔV_{th}) を示す。SAMで修飾した電極を有するメモリ素子では、未修飾の電極を用いた素子[2]と比べて、比較的低い書込電圧においても閾値電圧シフトが生じることが分かった。DABTで修飾したAu電極からは電子だけでなく正孔注入も容易に行われることを示唆しているものと考えられる。今後、FET素子のsubthreshold swingを改善することで、書込電圧の低減が期待できる。

参考文献 [1] F. Shiono *et al.*, Org. Electron. **67**, 109 (2019). [2] M. Higashinakaya *et al.*, Appl. Phys. Lett. **118**, 103301 (2021). [3] 西田他, 第68回応用物理学会春季学術講演会 講演予稿集, 11-348 (2021).

謝辞 本研究は、池谷科学技術振興財団、村田学術振興財団、三菱財団、及び科学研究費補助金 (JP19H02599, JP20H02716, JP20K21007, JP21H04564) の助成を受けた。

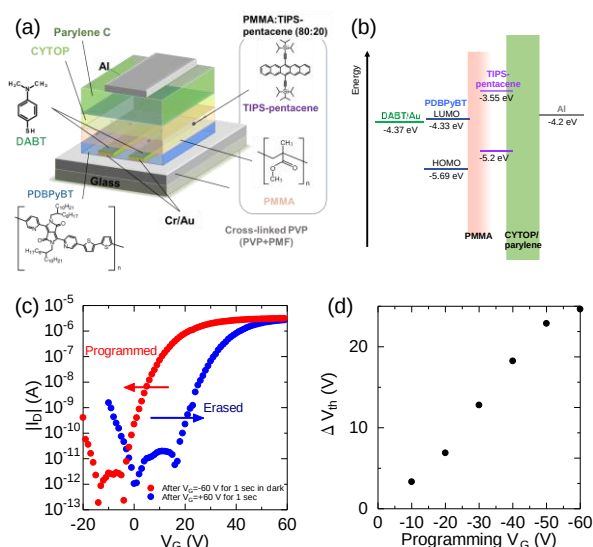


Fig. 1. (a) Device structure of the solution-processed top-gate PDBPyBT FET memory with the PMMA:TIPS-pentacene (80:20) charge storage layer. (b) Energy band diagram. (c) Transfer characteristics measured after programming ($V_G = -60$ V) and erasing ($V_G = +60$ V) in the dark. (d) Threshold voltage shifts as a function of programming gate voltage.