

接着リソグラフィを用いたナノギャップの作製と プレーナー型 TaO_x 抵抗変化型素子への応用

Fabrication of nanogap using adhesion lithography and application to planar type TaO_x resistive switching memory

龍谷大理工 ○立石 大樹, 番 貴彦, 山本 伸一

Ryukoku Univ. ○D.Tateishi, T. Ban, S.-I. Yamamoto

E-mail: shin@rins.ryukoku.ac.jp

はじめに

次世代の記憶素子の一つである抵抗変化型メモリは、横(プレーナー)型の構造も研究されている。プレーナー型の抵抗変化型メモリには nm オーダーの間隔を持つ電極対 (ナノギャップ電極) が必要となるが、作製するためには、電子線描画装置が必要となる。このため、より簡便にナノギャップ電極を作製するため、本実験ではフォトリソグラフィと SAM 膜を利用した接着リソグラフィを用いてナノギャップを作製した。これを利用しプレーナー型の抵抗変化型素子の作製を行った。

実験方法

図 1 にプレーナー型の抵抗変化型素子の模式図を示す。酸化膜付き Si 基板を洗浄し、フォトリソグラフィによりレジストパターンを形成、Al を蒸着したのちリフトオフを行い、電極を形成した。次に、UV 照射を 1 時間行い Al 酸化膜を形成、オクタデシルホスホン酸 (ODPA) を 1 mM 溶かしたアニソールに基板を 1 時間浸漬し SAM を形成した。その後、基板を純水に 30 分浸漬する。基板全面に密着層として Ni、電極として Au を蒸着する。次に、基板全面にシート状の PDMS を張り付け、9 mm/s の速さで SAM/Al 上の Au/Ni 層を剥離する。これにより Au と Al の間にナノギャップが作られる。両電極の一部をマスクし、ナノギャップを覆うように TaO_x をスパッタ成膜する。

実験結果

図 2 に I-V ヒステリシス評価を示す。まず制限電流を 15 nA とし、+2 V から -2 V の間で掃

引すると、+1 V 付近でソフトブレイクダウンが発生し、導電パスが形成されて素子が低抵抗状態となった。また -1 V において導電パスが修復されて素子が高抵抗状態となった。ON/OFF 比は 10 倍程度であり、バイポーラ型の特性が得られた。また、15 nA 以下で抵抗変化動作したことから素子の耐久面において期待できる。図 3 に繰り返し特性を示す。掃引測定において 50 回の繰り返し動作を確認した。ON/OFF 比においても安定していた。これにより、接着リソグラフィを用いたナノギャップによるプレーナー型抵抗変化型素子の作製に成功した。

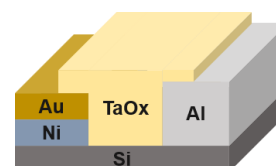


図 1 プレーナー型抵抗変化素子の模式図

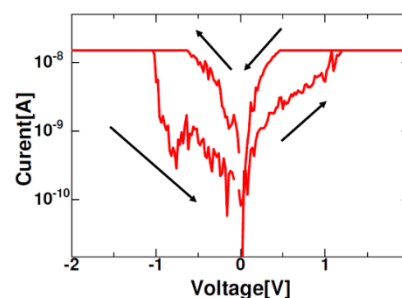


図 2 I-V ヒステリシス特性

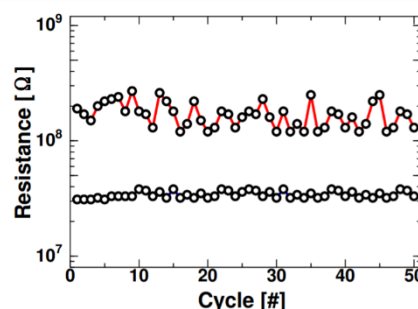


図 3 繰り返し特性