

平面実装可能な超伝導量子コンピュータ

Planar packaging the superconducting quantum computer

東京理科大学理学部物理, 理研 CEMS, 蔡 兆申

Tokyo University of Science Dept. of Physics, RIKEN CEMS, Jaw-Shen Tsai

E-mail: tsai@riken.jp

集積量子チップを実現するためには、2次元チップ上に並べた量子ビットを準備し、各々の量子ビットに外部より制御配線と読み出し配線を設けなくてはならない。そのために、従来から様々な3次元配線を使った量子回路の実装方式が研究されていた。我々は「擬2次元ネットワーク」を取り入れた新規な量子コンピューターアーキテクチャを提案し、その基本的な可能性を示した (H. Mukai et al., New Journal of Physics, 22, 043013, 2020)。擬2次元ネットワークを使うことにより、ゲートモデル型の量子コンピュータ用の大型集積量子チップが、従来型の平面配線・パッケージング技術のみを使って実現可能となる。現在16ビットのゲートモデル量子チップの試作などを行っている (Fig 1)。現在世の中で最も研究されている表面符号 (表面コード) アーキテクチャに対応できるゲートモデル量子回路であり、4 x 4 量子ビットアレーに相当する。

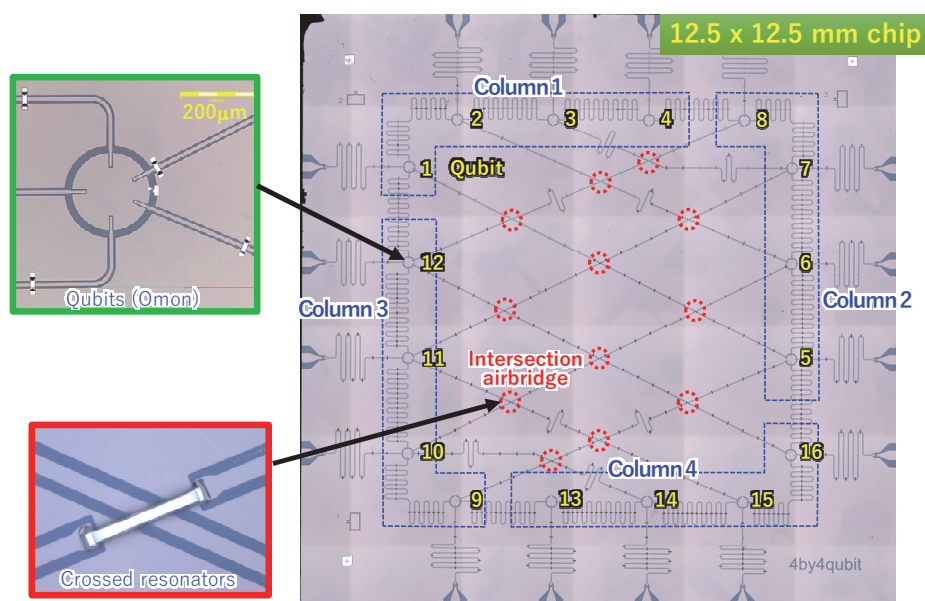


Fig 1. 16-qubit (4 x 4 array equivalent) superconducting qubit chip utilizing pseudo-2D interconnection network that makes a planar packaging possible.