

高ゲート酸化膜電界印加時の電子捕獲が SiC MOSFET の V_{th} に及ぼす影響Effect of Electron Capture in SiC MOSFETs on V_{th} under High Gate Oxide Electric Field Stress

野口宗隆、小山皓洋、岩松俊明、網城啓之、渡邊寛、三浦成久

三菱電機(株) 先端技術総合研究所

°Munetaka Noguchi, Akihiro Koyama, Toshiaki Iwamatsu, Hiroyuki Amishiro,
Hiroshi Watanabe, and Naruhisa Miura
Advanced Technology R&D Center, Mitsubishi Electric Corporation,
E-mail: Noguchi.Munetaka@dh.MitsubishiElectric.co.jp

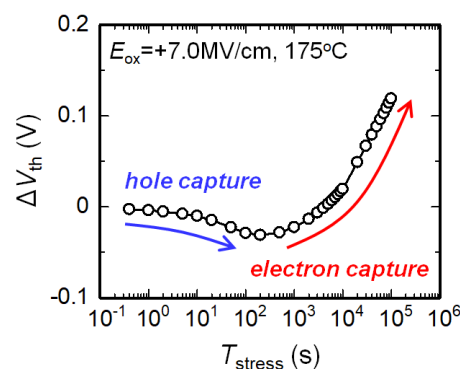
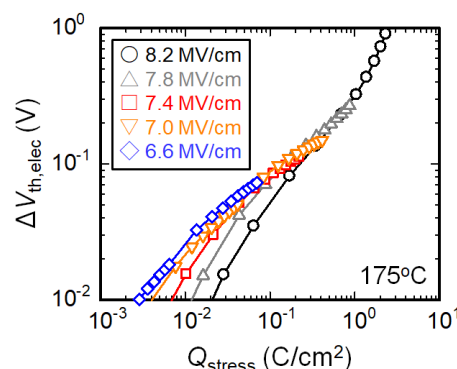
【はじめに】 MOSFET におけるゲート電圧印加時のしきい値電圧(V_{th})の安定性は重要な課題であり、SiC MOSFET においても長きにわたり研究されている。一般に、高温下で高い正ゲート酸化膜電界(E_{ox})を印加する加速条件ではゲート酸化膜への電荷捕獲に起因して V_{th} が変化することが知られ [1]、positive bias temperature instability (PBTI) と呼ばれる。例えば、+5.5MV/cm 程度の低 E_{ox} を印加すると、SiO₂ 中への電子捕獲により初期 V_{th} からの変化 (ΔV_{th})が生じるため[1]、 ΔV_{th} はストレス印加につれて単調に増加する。すでに、Si MOSFET では+7 MV/cm 以上の高 E_{ox} を印加すると、電界印加初期には SiO₂ 中の電子捕獲に先立って正孔捕獲が生じ、 ΔV_{th} は一度減少した後に増加に転じることが知られている。しかし、SiC MOSFET において高 E_{ox} 印加による ΔV_{th} の挙動は十分に評価されておらず、その時の電子捕獲過程は解析されていない。本研究では、SiC MOSFET における高 E_{ox} 印加時の PBTI 特性を評価し、SiO₂ 中への電子・正孔捕獲過程を分離することで高 E_{ox} 印加時に電子捕獲が SiC MOSFET の V_{th} に及ぼす影響を解析した。さらに、ゲート通過電荷量(Q_{stress})に着目し、電子捕獲による ΔV_{th} ($\Delta V_{th,elec}$)と Q_{stress} の関係を検討したので報告する。

【研究内容】 プレーナ型 Si 面 4H-SiC MOSFET を作製し、175°C にて PBTI 特性を評価した。ゲート酸化膜は熱酸化にて形成し、希釈 NO 雰囲気中で窒化処理を行った後、ゲート電極として poly-Si を成膜した。PBTI 特性は measure-stress-measure (MSM) 法で評価し、 Q_{stress} はゲート電流より求めた。SiC MOSFET に+7 MV/cm を印加した結果を図 1 に示す。Si 同様に ΔV_{th} は一度減少した後に増加に転じることが判明した。これは正孔捕獲が飽和した後に、電子捕獲の影響が顕在化するためと考えられている [2]。本モデルを基に電子捕獲の影響が顕在化した後の領域に着目し、 ΔV_{th} が反転する点を基準とし $\Delta V_{th,elec}$ と Q_{stress} の関係を検討した結果を図 2 に示す。 E_{ox} が 6.6-8.2MV/cm の範囲において、 $\Delta V_{th,elec}$ と Q_{stress} の関係は 1 つの包絡線上にのることが判明した。

【結論】 高 E_{ox} 印加時において、ゲート通過電荷量が電子捕獲による ΔV_{th} の判断基準となることを見出した。

【参考文献】

- [1] R. Green *et al.*, Jpn. J. Appl. Phys., 55 04EA03 (2016).
[2] D. J. DiMaria *et al.*, Appl. Phys. Lett., 80, 304 (1996).

図 1 ΔV_{th} と累積ストレス時間の関係図 2 $\Delta V_{th,elec}$ と Q_{stress} の関係