HfO2系 FeFET における結晶化アニール温度と Si 界面特性のトレードオフ

Trade-off Between Crystallization-Annealing Temperature and Si Interface Properties in HfO₂-based FeFETs 東大工, ^ト-プラサートポン カシディット, 田原 建人, 福井 太一郎, 林 早阳, 渡辺 耕坪, 竹中 充, 高木 信一 Univ. Tokyo, °K. Toprasertpong, K. Tahara, T. Fukui, Z. Lin, K. Watanabe, M. Takenaka, S. Takagi E-mail: toprasertpong@mosfet.t.u-tokyo.ac.jp

【背景】HfO2系強誘電体はCMOSとの親和性 が優れており、強誘電体ゲート FET (FeFET) のゲート絶縁膜として注目されている^[1,2]。 HfO₂系材料の強誘電相(直方晶)を安定化さ せるためには適したアニール処理が重要であ ることが知られており、強誘電特性とアニール 処理との関係性が広く研究されてきた^[3,4]。一 方、FeFET においては強誘電特性に加えて、 Si などの半導体との界面特性も重要である。 本研究は強誘電体の結晶化アニールが Hr0.5Zr0.5O2/Si FeFET の界面特性に与える影響 を体系的に調べ、FeFET の作製におけるアニー ル処理の指針について議論する。

【実験手法】FeFET の作製において、ソース/ ドレインが形成された Si 基板上に 10 nm の Hr_{0.5}Zr_{0.5}O₂を ALD で堆積し、TiN でキャップ した後、窒素雰囲気下で 30 秒間、300、400、 500、600、700°C の温度においてアニール処理 を行うことで強誘電体ゲートを形成した。また、 MFM、MFIS⁺(高濃度 p-Si 基板)、MFIS (10¹⁵ cm⁻³ 濃度 p-Si 基板) キャパシタも同じ堆積・ アニール条件で準備した。強誘電特性を評価す るためにMFMとMFIS⁺キャパシタにP-V測定、 界面特性を評価するために MFIS キャパシタ に C-V 解析、デバイス特性を評価するために FeFET に I_d - V_g 測定を行った^[5]。

【結果と考察】各アニール温度で作製したキャ パシタの分極反転量 ($P_{sw} = 2P_r$)を Fig. 1 に示 す。アニール温度を700℃まで高くすることで MFM キャパシタの分極量が上がり、強誘電特 性が向上した。一方、Si との界面を有する MFIS⁺キャパシタでは分極反転量がアニール





Fig. 2 Interface state density of Hr_{0.5}Zr_{0.5}O₂/Si after annealing

温度の上昇とともに下がる傾向が見て取れる。 これはアニール温度が高くなると、Si と Hr0.5Zr0.5O2の界面に厚い SiO2 界面層が形成さ れ (透過型電子顕微鏡で確認)、強誘電膜に電 界がかかりにくくなるためである。

さらに MFIS キャパシタの C-V 解析 (High-Low 法) で求めた界面準位密度 *D*_{it} を Fig. 2 に 示す。界面層の形成に加えて、高いアニール温 度は Si と Hr_{0.5}Zr_{0.5}O₂の界面に著しく界面特性 を劣化させていることが分かる。

FeFET の電気特性を Fig. 3 に示す。400°C 以 上のアニール温度では強誘電相が結晶化し、 Fig. 3(a)のように強誘電ヒステリシスの I_d-V。 特性が実現できる。アニール温度が 400°C より 高くなると強誘電性が良くなる一方、界面層の 厚膜化により電界が弱くなる効果と界面が劣 化する効果でメモリウィンドウおよび S.S.を 含めた電気特性が悪化する。このように FeFET におけるアニール処理は、強誘電相が結晶化可 能な、できる限り低い温度で行うことが望まし く、Hr0.5Zr0.5O2の場合は 400°C 付近で行うべき であることが分かる。

【結論】FeFET における結晶化アニールは強誘 電体/半導体の界面特性に大きい影響を与え るため、強誘電性と良好な界面を両立させる条 件を選択する必要がある。

【謝辞】本研究は、科学研究費 19K15021、JST, CREST, JPMJCR20C3 及び文部科学省ナノテクノジーフ。ラットフォーム (JPMXP09A20UT0041)の支援により実施した。 【参考文献】

- 1] J. Müller et al., VLSI Tech. 2012, 25 (2012)

[1] J. Muller et al., VLSI Tech. 2012, 25 (2012).
[2] K. Toprasertpong et al., IEDM2019, 570 (2019).
[3] M. H. Park et al, Appl. Phys. Lett. 102, 242905 (2013).
[4] T. Mimura et al, Jpn. J. Appl. Phys 58, SBBB09 (2019).
[5] K. Toprasertpong et al, IEEE Elec. Dev. Lett. 41, 1588 (2020).



