

ラミネーション技術を用いた極薄 MEMS デバイス封止手法開発

Development of Sealing method for ultra-thin MEMS device

using lamination technology

産業技術総合研究所¹,[○]竹下俊弘¹, 山下崇博¹, 竹井祐介¹, Daniel Zymelka¹, 小林健¹

National Institute of Advanced Industrial Science and Technology (AIST)¹,

Toshihiro Takeshita¹, Takahiro Yamashita¹, Yusuke Takei¹, Daniel Zymelka¹, Takeshi Kobayashi¹

E-mail: toshihiro-takeshita@aist.go.jp

【はじめに】

薄化したシリコンデバイスをフレキシブル基板上に実装したフレキシブルハイブリッドエレクトロニクス(FHE)デバイスは、低背・軽量・柔軟という特徴を有しており、あらゆる表面に配置可能なエレクトロニクスデバイスとして、IoT 分野での応用が期待されている[1,2]。我々も極薄 MEMS 技術を用いた厚さ数 μm のひずみセンサ[3]、ミラーデバイス[4]、またシステム化を念頭においたシリコン回路チップ開発に取り組んできた[5,6]。一方で、このような FHE デバイスの封止手法は、実用化のための重要技術であり、特にラミネーション技術を用いた封止手法は一括封止・低コスト化という点で優れた手法として研究されている[7]。しかしこのラミネーション封止手法に関して、パッケージチップあるいは数十 μm 厚のシリコンデバイスのラミネーション封止の報告はあるものの、これまで、高い柔軟性を有する一方破断しやすくなる数 μm オーダーの厚さのシリコンデバイスのラミネーション封止に関する報告はなかった。本研究では数 μm 厚の極薄 MEMS デバイスのラミネーション封止を目的とし、封止手法の技術開発を行ったため、その報告を行う。

【ラミネーション封止手法】

図 1 にラミネーション技術を用いた極薄 MEMS デバイス封止プロセスの概念図を示す。まずラミネーションフィルム上に接着剤を塗布し(1)、その接着剤上に極薄 MEMS デバイスを実装する(2)。次に印刷技術などで素子の配線を行い(3)、その上部にもう一枚のラミネーションフィルムを配置する(4)。その後ラミネーターを用いてラミネーション加工を行い、極薄 MEMS 素子及び配線の一括封止を行う(5)。最後に必要な端子の露出を行う。

【実験・結果】

図 2 開発した封止手法で作製した極薄圧電デバイスを示す。厚さ $7.26\mu\text{m}$ の極薄圧電(PZT)デバイスに対して上記のプロセスフローを用いてラミネーション封止を行った。なお実験に使用したラミネーションフィルムの材質はグロス PP(ポリプロピレン)、厚さは $100\mu\text{m}$ 、またラミネーターの送り速度 $8.3\text{mm}/\text{sec}$ である。写真に示す通り、素子及び配線が一括で封止されており、また封止後も十分な柔軟性を有していることが確認される。図 3 に作成した極薄圧電デバイスの動作確認を行った結果を示す。図に示すように素子を治具に固定し、PZT に DC 電圧を印加した際の変位測定位置の z 軸変位量の測定を行い、印加電圧に対して変位量が増加している結果が得られた。この結果から封止後においても極薄圧電デバイスが破損することなく動作することが示された。今後は本手法の実用化を目指し、高耐久化や防水・防湿化を目指したラミネーション封止技術開発を行う。

【参考文献】

- [1] Y. Mahsereci et. al., IEEE JOURNAL OF SOLID-STATE CIRCUITS, 51, 273 (2006).
- [2] J. V. D. Brand et. al., SOLID STATE ELECTRON., 113, 116 (2015).
- [3] T. Yamashita et. al., Jpn. J. Appl. Phys., 54, 10ND08 (2015)
- [4] T. Takeshita et. al., Jpn. J. Appl. Phys., 56, 10PF11 (2017).
- [5] 竹下俊弘ら, 第 80 回応用物理学会秋季学術講演会, 19p-E304-8, (2019).
- [6] 竹下俊弘ら, 第 81 回応用物理学会秋季学術講演会, 9a-Z10-2, (2020).
- [7] M. Cauwe et. al., Proceedings of 2012 4th Electronic System-Integration Technology Conference, 10.1109/ESTC.2012.6542155(2012).



図 1. ラミネーション技術を用いた極薄 MEMS デバイス封止プロセス

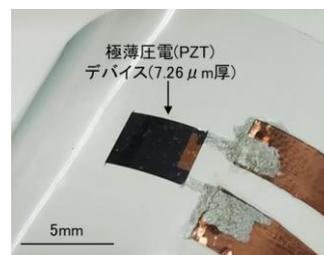


図 2. ラミネーション封止後の極薄圧電デバイス

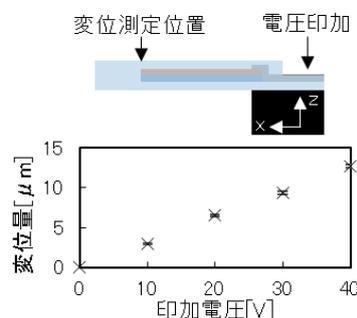


図 3. 極薄圧電デバイス動作確認実験結果