

CMOS チップ分散型アーキテクチャによる 光電気神経インターフェースデバイスの研究

Optoelectronic neural interface device based on distributed CMOS architecture

東工大 [○](M1)松岡 聡, 横式 康史, 徳田 崇

Tokyo Institute of Technology, [○]Satoshi Matsuoka, Yasufumi Yokoshiki, Takashi Tokuda

E-mail: tokuda@ee.e.titech.ac.jp

1. はじめに

脳科学や神経科学の分野では、(主に実験動物の)脳へ侵襲的にアクセスして刺激・計測を行うデバイスのニーズが高まっている。我々の研究室では、一般的に利用されてきた電気による刺激・計測と、オプトジェネティクス(光遺伝学)を利用した光による刺激や、散乱計測や蛍光計測を含む光計測の 4 つの機能をカバーし、多様な動物の脳サイズ、計測エリア設定に柔軟に対応できるデバイスの実現を目指している。本発表では、デバイスのコンセプトおよびコアとなる単位デバイス設計について報告する。

2. デバイス構造と機能の提案

本研究で実現しようとするフレキシブル脳刺激・計測デバイスのコンセプトを Fig. 1 に示す。デバイスは脳の単一ポイントに対して刺激・計測を行う単位デバイスとそれらを接続するフレキシブルネットワーク構造で構成される。単位デバイスはプローブ様(直径約 1~3 mm 高さ約 3~10 mm)の形状とし、後端の超小型同軸コネクタを介してフレキシブルネットワーク構造に接続する。単位デバイスは光刺激、電流刺激、光検出、電位計測の 4 つの機能を搭載した CMOS 集積回路をコアとして実現する。光刺激については Si からの可視光発光が困難であるため、窒化物系の発光ダイオード(LED)を搭載する。Fig. 2 に単位デバイスのブロック図を示す。

3. CMOS チップ設計

0.35 μ m 2-poly 4-metals 標準 CMOS プロセスを利用して単位デバイスに搭載する CMOS チップの設計を行った。当該チップには、ドリフトを回避するための容量カップリング型の神経計測アンプ[1]、双極型電流制御刺激回路[2]、LED 駆動回路およびフォトダイオードによる光計測回路を搭載した。現在試作プロセス中であり、今後各機能の評価ののち、デバイス実装を行っていく。

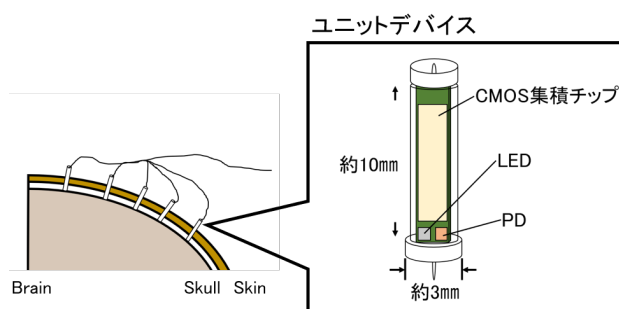


Fig. 1 Concept of the proposed neural interface device

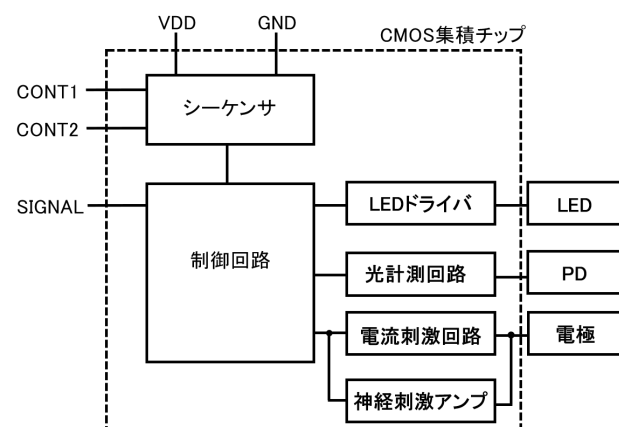


Fig. 2 Block diagram of the unit device

謝辞

本研究の一部は、科研費基盤研究(B)(17H02222)、挑戦的研究(萌芽)(19K22844)によって行われた。本研究における CMOS 集積回路の設計は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびメンター株式会社の協力で行われた。

参考文献

- [1] R. R. Harrison *et al.*, IEEE JSSC **38**, 958 (2003).
- [2] T. Tokuda *et al.*, IEEE TCAS **4**, 445 (2010).