Si/CaF2p型三重障壁共鳴トンネルダイオードの室温微分負性抵抗特性

Room Temperature Negative Differential Resistance of

Si/CaF₂ p-type Triple-barrier Resonant Tunneling Diodes

東工大工学院 O佐藤穂波,熊谷佳郎,冨澤勘太,金子拓海,渡辺正裕

Tokyo Institute of Technology, H. Sato, Y. Kumagai, K. Tomizawa, T. Kaneko, M. Watanabe

E-mail: <u>sato.h.bf@m.titech.ac.jp</u>

【 はじめに 】

シリコン(Si)/弗化カルシウム(CaF2)へテロ構造は、結 晶構造が類似で格子定数が近いことから Si 基板上に 数原子層厚の積層エピタキシャル成長が可能である。 さらに、Si は共有結合性、CaF2はイオン結合性である ことから原子層厚に迫る極薄膜の積層構造における相 互拡散の抑制に有利である。また、これまでの研究か ら,原子層オーダーの CaF2 極薄膜と Si のヘテロ界面 には 2 eV 程度の価電子帯バンド不連続が存在するこ とが示唆されており、これらの特徴を活かして、応用 上有意な電流密度を確保しつつ、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダ イオード(RTD)の動作実証を行ってきた [1,2]。今回, ホール注入型の Si/CaF2 三重障壁構造 RTD において, 室温で複数の電流ピークを有する微分負性抵抗特性を 観測するとともに、そのシミュレーションモデルを検 討したので報告する。

【 実験方法 】

今回作製した素子構造を図1に示す。p-Si(111)基板を SPM 洗浄後,厚さ30 nm の熱酸化膜を形成し,ウェ ットエッチングにより直径500 nm の窓を形成する。 その後基板を分子線エピタキシー結晶成長装置内に搬 入し,表面保護酸化膜を除去後,

CaF₂(0.62nm)/Si(1.24nm)/CaF₂(0.62nm)/Si(0.93nm)/CaF₂ (0.62nm)/Si (5nm)の各層を結晶成長した。 Cr/Au 電極をリフトオフにより形成し素子完成とな る。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を用いた。

【 結果と考察 】

作製した素子の室温における電流電圧特性の一例を図 2 に青線で示す。印加電圧は下部電極側の電位を正に とっている。室温において観測された微分負性抵抗特 性の PVCR は 5.6, ピーク電流密度は 0.94 MA/cm², ピーク電圧は 1.1 V であった。この電流電圧特性は, ヘビーホール(m*=0.55 m₀)とライトホール(0.16 m₀) によるトンネル電流を重畳したモデルにおける電流電 圧特性の理論解析結果(図 2 橙線)とピーク電圧, ピー ク電流密度がよく整合する。一方, 電圧 V=0~1 V に おける解析と実測の不一致は, リーク電流の存在を示 唆しており,また,V>1.3Vにおいてリーク電流が低 下しているように見えることから,欠陥等への電荷蓄 積による電流経路狭窄を仮定して解析を行った。CaF2 障壁を1原子層としたときの解析結果に,上記の要素 と直列寄生抵抗及びチャージアップによる井戸層のポ テンシャルの上昇を考慮した電流電圧特性を図2に灰 線で示す。これによって理論計算と,実験的に得られ た複数の電流ピークを有する素子の電流電圧特性が良 好に再現された。今回提案する解析モデルは,Si/CaF2 共鳴トンネル構造のデバイス応用に不可欠な共鳴疑似 準位及び量子井戸サブバンドを設計し制御する技術の 基礎として重要と考える。

【 参考文献 】

[1] Y. Kuwata et al., Appl. Phys. Express 9, 074001 (2016)

[2]三上他, 第 66 回応物春季学術講演会 10p-PA4-7(2019)



図 1 素子構造と価電子帯バンド図



図 2 室温電流電圧特性