

## ワイドレンジ検出可能な Au 錘 1 軸 MEMS 加速度センサの検討

### A study on a single-axis Au proof-mass MEMS accelerometer with a wide detection range of acceleration

東工大<sup>1</sup>, NTT-AT<sup>2</sup>, <sup>○</sup>内山 晃宏<sup>1</sup>, 市川 崇志<sup>1</sup>, 柴田 滉平<sup>1</sup>,  
飯田 慎一<sup>2</sup>, 李 尚暉<sup>1</sup>, 石原 昇<sup>1</sup>, 町田 克之<sup>1</sup>, 益 一哉<sup>1</sup>, 伊藤 浩之<sup>1</sup>  
Tokyo Tech<sup>1</sup>, NTT-AT<sup>2</sup>, <sup>○</sup>Akihiro Uchiyama<sup>1</sup>, Takashi Ichikawa<sup>1</sup>, Kohei Shibata<sup>1</sup>,  
Shin-ichi Iida<sup>2</sup>, Sangyeop Lee<sup>1</sup>, Noboru Ishihara<sup>1</sup>,  
Katsuyuki Machida<sup>1</sup>, Kazuya Masu<sup>1</sup>, Hiroyuki Ito<sup>1</sup>  
E-mail: paper@lsi.pi.titech.ac.jp

【はじめに】我々は、高分解能化を目指し Au 錘 MEMS 加速度センサを検討している[1, 2]。一方、人体検知など動態応用分野においてワンチップで低 G ( $G = 9.8 \text{ m/s}^2$ ) から高 G までの広い検出範囲を有する加速度センサが求められている。これまで、我々はアレイ型 MEMS 加速度センサの検討を行ってきた[3, 4]。今回、ワンチップの CMOS-MEMS 化を想定し、MEMS からの配線数を削減するために、従来の複数の錘を使用するアレイ型から錘を 2 個にすると共に、2 個でマイクロ G レベルから 20 G を検出可能な MEMS 加速度センサの提案・試作・評価を行ったので報告する。

【デバイスの概要】提案したデバイスの Au 錘 1 軸 MEMS 加速度センサの概念図を Fig.1 に示す。作製は、CMOS-MEMS 化を可能とする積層メタル技術を用いることを前提としている[5]。低 G 検知用錘をチップ外部に、高 G 検知用錘を内部に、動作のバランスを考慮し、レイアウト上対称性に配置している。外部錘と内部錘は、それぞれ 4 本のばねで支えられ、破損を防ぐためのストッパーを設けた。デバイスの目標性能として、マイクロ G レベルから 20 G までを検知するために、チップ面積  $4 \times 4 \text{ mm}^2$  内で、外部および内部錘のブラウンアンノイズ ( $B_N$ ) と最大印加加速度最低値を、それぞれ  $200 \text{ nG}/\sqrt{\text{Hz}}$  以下、 $1 \text{ G}$  および  $10 \mu\text{G}/\sqrt{\text{Hz}}$  以下、 $20 \text{ G}$  とし設計を行った。

【評価結果】試作した Au 錘 1 軸 MEMS 加速度センサのチップ写真を Fig. 2 に示す。デバイスは、積層メタル技術により 7 層の Au で形成されている。Au  $40 \mu\text{m}$  厚さで外部と内部の錘が、それぞれ 4 本のバネで支えられていることを確認した。測定として、レーザードップラー振動計 (LV-1800, 小野測器) を用いたリングダウン試験および加振器 (旭製作所, WaveMaker05) と LCR メータを用いた容量の加振特性を実施した。測定結果から、ブラウンアンノイズ ( $B_N$ ) と共振周波数は、それぞれ外部錘  $144 \text{ nG}/\sqrt{\text{Hz}}$ ,  $354 \text{ Hz}$ , 内部錘  $0.78 \mu\text{G}/\sqrt{\text{Hz}}$ ,  $1338 \text{ Hz}$ , であり内外錘の動作を確認した。また加振特性により 2 個の錘により  $1 \text{ G}$  近傍で検知範囲が重なることも確認した。

【まとめ】2 個錘による Au 錘 1 軸 MEMS 加速度センサを提案し、試作、評価により、マイクロ G レベルから 20 G までの基本特性を確認し、CMOS-MEMS 化の実現見通しを得た。

【謝辞】本研究は JST CREST JPMJCR1433 の支援を受けたものである。

[1] T. Koga *et al.*, INERTIAL 2020, Mar. 23-26, 2020. [2] T. Ichikawa *et al.*, SSDM 2020, Sep. 27-30, 2020. [3] T. Konishi *et al.*, Jpn. J. Appl. Phys. 53, 027202-1-9, 2014. [4] D. Yamane *et al.*, Jpn. J. Appl. Phys. 54, 087202-1-4, 2015. [5] K. Machida *et al.*, IEEE Transactions on Electron Devices, vol.48, No.10, pp.2273-2278, 2001.

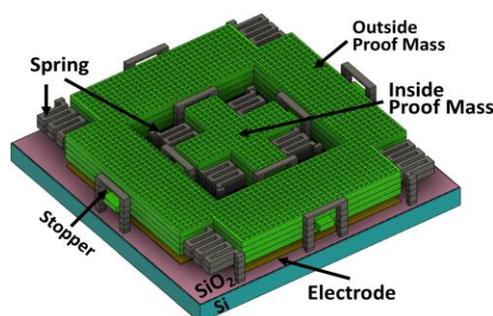


Fig.1. Proposed MEMS accelerometer.

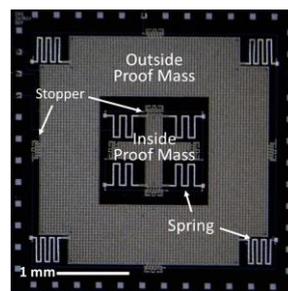


Fig.2. Chip photograph of MEMS accelerometer.