

パルス駆動型メモリの実現に向けた低電流で駆動可能な メモリセルの設計と評価

Design and evaluation of memory cells driven with low current for SFQ pulse-driven memory

名大院工,[○]藤澤 日向, 竹下 雄登, 加藤 健人, 長谷川 大輝, 李 峰,
田中 雅光, 山下 太郎, 藤巻 朗

Nagoya Univ.¹, [○]Hinata Fujisawa, Yuto Takeshita, Kento Kato, Daiki Hasegawa, Feng Li,
Masamitsu Tanaka, Taro Yamashita, and Akira Fujimaki

E-mail: fujisawa@super.nuee.nagoya-u.ac.jp

背景 単一磁束量子(SFQ)回路は、超伝導ループ内の量子化された磁束を情報担体とする論理回路である。ループ間の磁束の受け渡しの際に発生する電圧パルス(SFQ パルス)は、極めて小さなエネルギーを持ち、かつ光速で導波路を伝搬する。動的消費エネルギーは 0.1 aJ (10^{-19} J)程度であり、 50 GHz で動作する SFQ 回路のプロセッサなどが実証されている[1]。この性能を最大限に生かす計算機の実現には、メモリ階層上、レジスタと大容量メモリの中間に位置する高速中容量メモリが不可欠である。現在提案されているメモリは、セル選択のドライバに等価電流源や等価電圧源が用いられているが、その動作速度は CR 時定数や L/R 時定数などの物理的な制約によって制限され、目的とする高速且つ大容量なメモリが実現できていない。我々は、この課題を根本的に解決するため、 π 位相シフト磁性ジョセフソン接合(磁性 π 接合[2])を導入したパルス駆動型の超伝導メモリを提案した。

パルス駆動型メモリの実現に向けて大きな課題となるのは、駆動エネルギーの低エネルギー化である。我々は、図 1 に示すような、 π 接合を含む超伝導ループと、DC-SQUID を組み合わせた構造により、ワード線電流 I_{word} でメモリの駆動に必要なエネルギーを小さくすることができることを実験的に示してきた[3]。

本研究では、小さなエネルギーを有する SFQ パルスでも書き換え可能なメモリの実現に向けて、より小さな臨界電流値のジョセフソン接合を持つメモリセルの作製と評価を行った。

メモリセルの閾値特性による評価 図 2 に、本研究で評価したメモリセルの顕微鏡写真を示す。図中の I_b は、メモリの閾値特性を得るためのバイアス線で、実際のメモリの制御には必要としない。得られた閾値特性のうち、 $I_b = 0$ における閾値の値を調べることによって、実際のメモリの書き換え制御に必要な電流値が得られる。

図 3 に、今回測定を行ったメモリセルのビット線電流 I_{bit} に対する閾値特性の測定結果と原点付近における数値計算の結果を示す。閾値特性の左側の閾値内部がメモリセル内の情報ビット“0”に対応し、右側の閾値内部が“1”に対応する。原点付近においては“0”と“1”のどちらの状態にも対応し、初期状態としてどちらか一方の状態をとる。

$I_{b\text{max}} = 0$ の軸上において、 $I_{\text{word}} = 0 \text{ } \mu\text{A}$ と $I_{\text{word}} = 200 \text{ } \mu\text{A}$ での閾値の大きさを比べると $I_{\text{word}} = 0 \text{ } \mu\text{A}$ の時の閾値が $I_{\text{bit}} = 95 \text{ } \mu\text{A}$ であるのに対して、 $I_{\text{word}} = 200 \text{ } \mu\text{A}$ の時には閾値が $I_{\text{bit}} = 25 \text{ } \mu\text{A}$ まで減少し

ている。JSIM を用いたシミュレーションから、SFQ 回路による I_{bit} を流れるパルスの波高値が $70 \text{ } \mu\text{A}$ 程度であることがわかっており、パルスによる書き換えが十分可能であるといえる。

講演では、メモリセルの閾値特性による実験的なメモリセルの評価と、メモリに SFQ パルスドライバを接続した際の動作についての議論を行う。

謝辞 本研究は、特別推進研究(18H05211)及び基盤研究(S)(JP19H05615)の支援を受けて実施したものである。本研究で利用した回路の一部は、産業技術総合研究所(AIST)の CRAFTY において作製された。

参考文献

- [1] R. Sato *et al.*, *IEEE Trans. App. Supercond.*, vol. 27, No. 4, p. 1300505, 2017.
- [2] V. V. Ryazanov *et al.*, *Phys. Rev. Lett.*, vol. 86, pp. 2427-2430, 2001.
- [3] 竹下 *et al.*, 第 81 回応用物理学会秋季学術講演会, 8p-Z27-14, 2020.

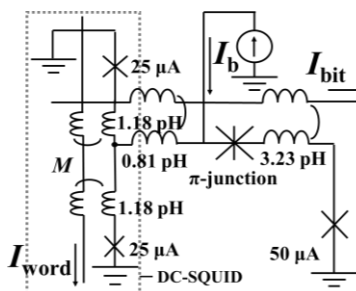


Fig. 1. Design parameter of memory cell.

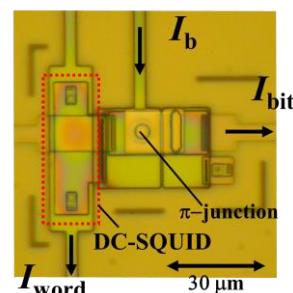


Fig. 2. Photograph of memory cell.

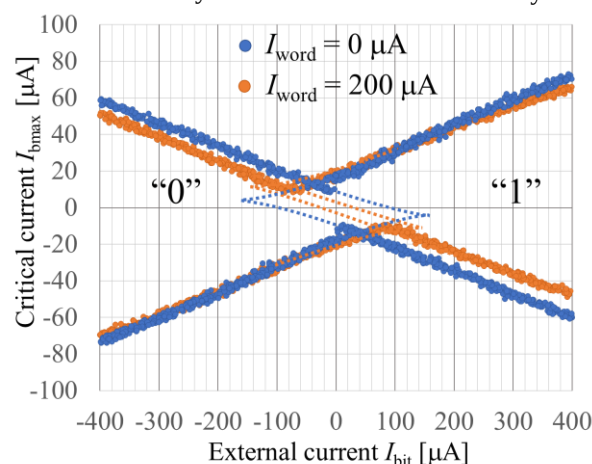


Fig. 3. Static characteristics of memory cell.