

ミニマルファブで NSG を用いた多層配線プロセスの検討 Study of multilayer wiring process using NSG in Minimal Fab

加瀬 雅¹, 古賀 和博², クンプアン ソマワン^{1,2}, 原 史朗^{1,2}
産総研¹, ミニマルファブ推進機構²

AIST¹ and MINIMAL²

Masashi Kase¹, Kazuhiro Koga², S. Khumpuang^{1,2}, and S.Hara^{1,2}

E-mail: kase-masashi@aist.go.jp

【背景・目的】

我々は局所クリーン化技術でクリーンルームを不要とし、規格化した超小型の製造装置とウェハで、1枚ずつ製造する超小型デバイス製造システム・ミニマルファブの開発を行っている[1]。現在、主要前工程は実用商品のレベルとして販売されている。これらを用いたデバイス試作に関しては、これまで、n型のバルクSi基板とAlゲート電極を用いたCMOSを試作し良好な特性を得ている。さらに、デバイスのシュリンク化の検討を進めており、配線も2層以上の多層配線が必要となっている。

多層配線の層間膜に用いられる絶縁膜には、表1のような膜がある。層間膜を用いる工程は、すでにトランジスタのソース/ドレイン、1層目のAl(AI1)配線形成後になるため、成膜温度が低温である必要がある。この中で、メガファブでは一般にPlasma-CVDによるP-TEOS(Plasma-Tetraethyl Orthosilicate)が用いられている。P-TEOSは低温での成膜が可能でコンフォーマルに成膜できる。しかし、P-TEOSは連続で成膜していると膜厚や膜質が不安定になりやすく、且つ真空チェンバーでの成膜が必要で装置が高価である。ミニマルファブではシンプルで安定、且つ安価のプロセスを目指している。表1の中で、これに該当するのがSOG(Spin-On-Glass)材料をスピコートする成膜法の応用したもので、ノンドーパ材料であるNSG(Non dope Silicate Glass)を用いる絶縁膜成膜法である。SOGは古い技術であるが、ミニマルファブではトランジスタの開発当初からソース/ドレインの不純物拡散にはSOGを用いているので、装置の使用実績は十分にある[2]。今回、NSGがミニマルファブで多層配線の層間膜に適用できるか検討を行った。

【実験方法】

実験には、直径12.5mmのSi基板を用い、ウェハへのプロセッシングには全てミニマル装置を用いた。最初にSi基板をSPMとRCA洗浄を施した後、スピコート法によりNSGを塗布し膜厚の測定を行った。その後、集光炉で400℃、5minの熱処理を施した後、NSG膜厚の収縮量の測定とNSG表面凹

凸の測定を行った。NSGには有機溶剤が含まれているため、多層配線の層間膜に適用するは揮発させる必要がある。そのため、NSG塗布後に熱処理を施している。また、SOG材料はスピコート後の表面に凹凸が発生するため表面の凹凸の測定を行った。さらに、熱処理後のNSGにクラックが発生していないか、2層目のAl(AI2)のパターンが断線無く形成されているかを確認するために、AI1とAI2を交差するL&Sパターンを形成し、最後にシンタリング(400℃、5min)を施した後に顕微鏡観察を行った。

【実験結果】

NSG塗布時の回転数を2800rpm~3400rpmに変化させ膜厚とウェハ内均一性の測定を行った。回転数を速くするとウェハ周辺にNSGが流れ、膜厚はウェハ中心が薄く周辺が厚くなる。一方、2800rpmではNSGがウェハ外周まで直ぐに流れて行かない。この結果、回転数が3000rpmの時に一番ウェハ内均一性が良い±7.8%の値を得た。この時のウェハ内の平均膜厚は191.4nm、熱処理による膜収縮量は2.3nm、熱処理後のNSG表面凹凸は約15nmであった。このNSG上にAl:340nmのパターンを形成し、Al表面の凹凸を測定した。NSGの凹凸が反映され約15nmであった。このNSGを用いて、2層配線の構造を試作した。この時の顕微鏡写真を図2に示す。AI2配線の断線はなく、NSGのクラックやAl剥がれも発生していなかった。以上によりNSG膜はデバイスに適用できると判断し、今後、デバイスに適用し電気的測定を行っていく。

【謝辞】

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

【参考文献】

- [1] 原 史朗, クンプアン ソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] 古賀 和博, 他, 「ミニマル液体ドーパントプロセスによるCMOS試作」, 第76回 応用物理学会春季学術講演会, 13p-1C-4 (2015)

成膜方法	主な膜	長所	短所
P-CVD	TEOS	低温での成膜可能	プラズマダメージ 膜質安定性
LP-CVD	TEOS	高均一性	高温での成膜が必要
AP-CVD	NSG	大気圧での成膜可能	高温での成膜が必要
PVD	SiO ₂	低温での成膜可能	高真空が必要
熱酸化	SiO ₂	高均一で緻密な膜	高温での成膜が必要
SOG	NSG	低温での成膜可能 大気圧での成膜可能	塗布後に熱処理必要 表面に凹凸が発生

CVD:Chemical Vapor Deposition P-CVD:Plasma CVD
LP-CVD:Low Pressure CVD AP-CVD:Atmospheric Pressure CVD
SOG:Spin on Glass

表1 絶縁膜形成方法

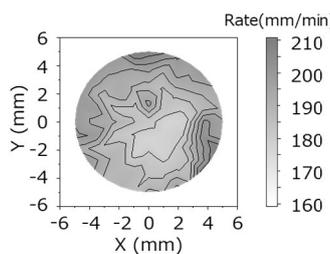


図1 NSG ウェハ内膜厚分布

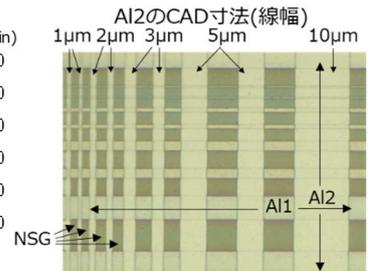


図2 AI1 と AI2 が交差する箇所の顕微鏡写真