

高速スイッチング向け 600V 縦型 GaN-DMOSFET の低オン抵抗化検討

RonA reduction of 600V vertical GaN-DMOSFET for high speed switching

富士電機(株), °稲本拓朗, 福島悠太, 田中亮, 上野勝典, 高島信也, 江戸雅晴

Fuji Electric, °T. Inamoto, Y. Fukushima, R. Tanaka, K. Ueno, S. Takashima, M. Edo

E-mail: inamoto-takuro@fujielectric.com

【はじめに】 縦型 GaN-DMOSFET は、トレンチ MOS と比べ構造上ゲート容量の低減に有利なため、高速かつ大容量向けのスイッチング素子として期待されている。ところが DMOSFET は、RonA の低減には不利な構造であるため、導通損失を低く維持するためにチップ面積を大きくする必要があり、結果としてチップ当たりのゲート容量が増加する問題があった。そこで本研究では、DMOS 構造における低 RonA 化検討の一環として、主な抵抗成分であるドリフト層と JFET 領域に対し、耐圧 600V 向けに各濃度条件を振った簡易構造の DMOSFET の試作を行い、同耐圧帯における低 RonA 化の実現見込みを実測にて検討したので、以下報告する。

【実験方法】 +c 面 n-GaN 自立基板の上に実効 $N_D=0.8E16, 2.1E16, 3.7E16 \text{ cm}^{-3}$ で n エピ成膜を行い、p ウェル領域として Mg と N を選択注入後、幅 $1 \mu\text{m}$ の JFET 領域に実効 $N_D=1.3E17, 2.4E17 \text{ cm}^{-3}$ 相当量の O を注入した。その後 N+ソース領域を形成し、 1300°C で活性化熱処理したのち、ゲート絶縁膜と各電極を形成して MOSFET を作製した。

【結果】 作製した MOSFET 構造を図 1、耐圧および RonA の各濃度に対する依存性を図 2、図 3 にそれぞれ示す。RonA はソース配線による寄生抵抗分を差し引いた値で算出した。図 2 の耐圧、図 3 の RonA のいずれについても、ドリフト濃度が高くなると特性値が小さくなる傾向があり、耐圧-RonA 間の一般的なトレードオフ性が確認された。また同図より、JFET 濃度に対しても特性間に同様のトレードオフが見られ、ドリフト層濃度が高い場合には JFET 濃度による特性変動が小さいことも確認された。以上の特性傾向を踏まえ、適切な濃度設計を行うことで、600V 帯において RonA $1 \text{ m}\Omega\text{cm}^2$ 以下を実現可能と見通せることが分かった。詳細は当日議論する。

【謝辞】 本研究の一部は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム) 「IoE 社会のエネルギーシステム」(管理法人: JST) によって実施されました。

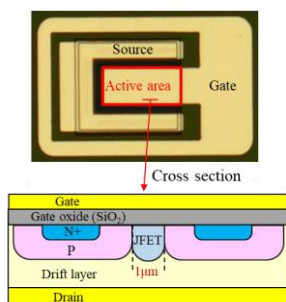


Fig.1 Schematic of GaN-DMOSFET.

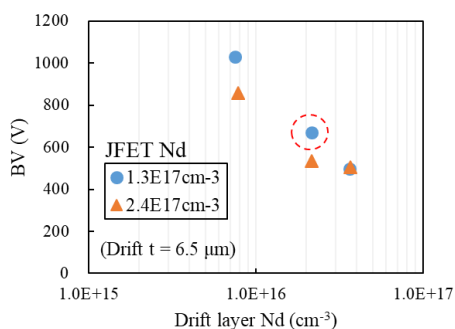


Fig.2 BV dependence on Drift layer N_D and JFET N_D .

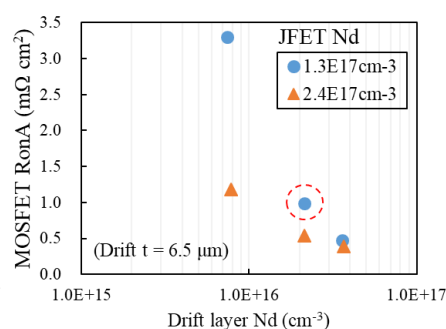


Fig.3 RonA dependence on Drift layer N_D and JFET N_D .