

有機デバイスに対するアニール効果の検証

verification of annealing effect on organic devices

東京農工大院工, ○田口帆人, 水口慶一郎, 岩崎好孝, 上野智雄

Tokyo University of Agriculture and Technology, ○H.Taguchi, K.Minakuchi, Y.Iwazaki, T.Ueno

E-mail : s20645029@st.go.tuat.ac.jp

1.はじめに

有機半導体は無機半導体に比べて可溶性に優れているため、印刷プロセスを適用して安価で大面積の回路を作製することができる。また柔軟性をもつため、フレキシブルデバイスの作製にも利用される。しかし、有機半導体のデバイスは無機デバイスよりも駆動電圧が大きいという欠点が存在する。本研究では窒素雰囲気下でアニール処理を行うことにより、有機半導体を用いた素子の特性改善を目指した。

2. 実験方法

n^+ -Siの基板をフッ酸洗浄後に900°C、30分で熱酸化をおこない、 SiO_2 を成膜した。次に真空蒸着法で有機半導体材料であるペンタセン、Au、裏面にゲート電極としてアルミニウムを成膜してFig.1のような有機MOS構造を作製した。このうち一部のサンプルについては N_2 雰囲気下において100°C、30分の条件でアニール処理を行い、これらの試料についてC-V測定を行った。

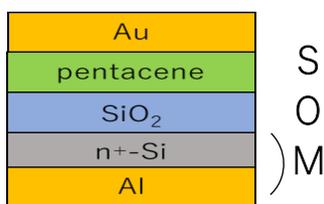


Fig.1 有機MOSの構造図

次にアニール効果による有機半導体内に流れる電流の変化を調査するために n^+ -Siの基板に SiO_2 を成膜した後に、真空蒸着法で下地金属となるAu、有機半導体としてペンタセンを成膜した。その後、上部電極としてAuを成膜してAu/ペンタセン/Auの構造を作製したこの成膜プロセスの過程においてFig.2に示すように異なるタイミングで100°C、30分で N_2 雰囲気下におけるアニール処理を行った。(b)では下地金属と有機半導体との接触面の平滑化、(c)ではそれに加えて有機半導体の膜質の改善、(d)では上部金属と有機半導体との接触面の平滑化を目的としている。これらの試料に対してJ-V測定を行った。

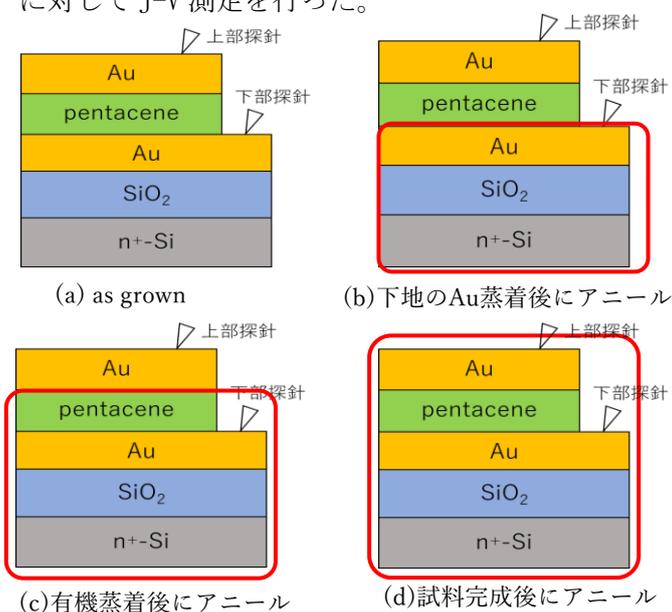


Fig.2 Au/ペンタセン/Au構造

3. C-V測定結果

Fig.1に示した試料の N_2 アニール前後のC-V測定結果をFig.3に示す。(a),(b)の最大蓄積容量値は共に SiO_2 単体の絶縁膜容量値よりも小さいものの、(b)の最大蓄積容量値は(a)に比べて増大していた。(a)はペンタセンの膜中において、有機分子の配向性不良を起因とした構造欠陥が存在したことによりキャリアがトラップされ絶縁膜付近に到達しきれていないのに対し、(b)はアニール処理を行ったことにより有機膜中の構造欠陥が解消され、キャリアが有機半導体と絶縁膜の界面に到達されやすくなったのではないかと推測した。

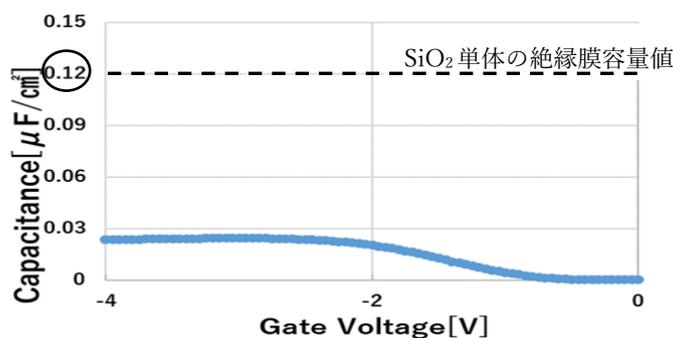
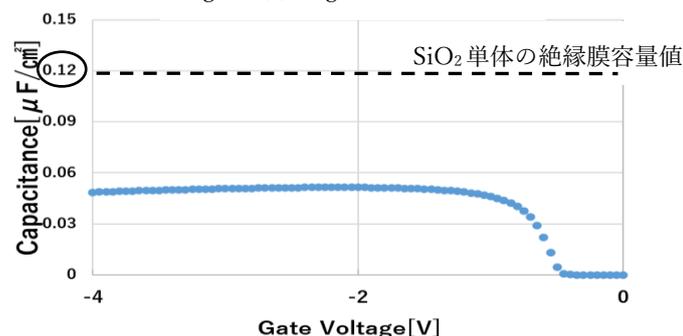


Fig.3 (a) as grownのC-V特性

Fig.3 (b) N_2 アニールした試料のC-V特性

4. J-V測定結果

結果をFig.4に示す。電流密度はFig.2で示した試料のうち(a),(b),(c),(d)の順番に増大していったことがわかった。アニール処理をする領域を変えることにより、金属/有機の接触面不良と有機分子の配向性不良が改善され、試料全体のキャリアの伝導性が良化したものと思われる。

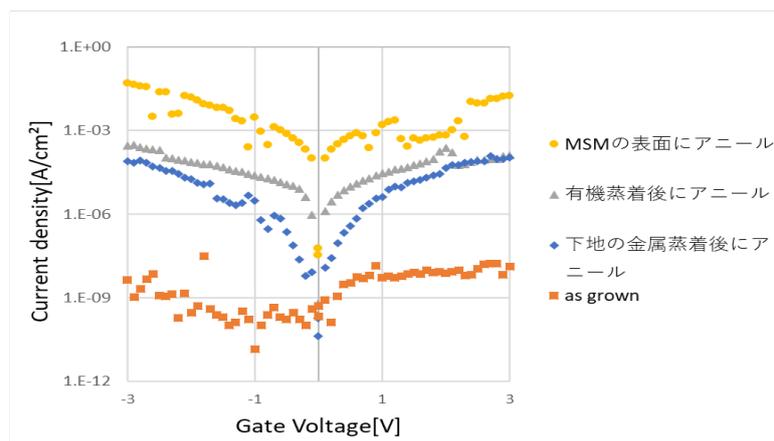


Fig.4 Au/ペンタセン/Au構造のJ-V特性