

ミニマルファブにおける TiN ゲート SOI-CMOS プロセスシュリンクの検討

Study of TiN Gate SOI-CMOS process shrink by minimal fab

ミニマルファブ推進機構¹, 産総研²,

○古賀 和博¹, 柳 永勲², 居村 史人^{1,2}, 加瀬 雅², 野田 周一², 根本 一正², クンプアン ソマワン^{1,2}, 原 史朗^{1,2}

MINIMAL¹ and AIST²

*Kazuhiro Koga¹, Y. X. Liu², Fumito Imura^{1,2}, Masashi Kase², Shuichi Noda², Kazumasa Nemoto², Somwan Khumpuang^{1,2}, and Shiro Hara^{1,2}

E-mail: kazuhiro.koga@minimalfab.com

【背景】

我々は多品種少量向けデバイスの研究、開発、生産に適した、ハーフィンチュウエハを用いるミニマルファブの開発を行ってきた[1]。すでに、主要な前工程製造装置群が完成しており、pMOS、nMOS、CMOS、カンチレバー、加速度センサ、圧力センサ、LED、レーザー、SAW デバイスなどの試作に成功している[2], [3]。ミニマルファブの基幹となる CMOS デバイスにおいては Al ゲートバルク CMOS から TiN ゲート SOI CMOS に移行し、ゲート長 $10\mu\text{m}$ 、ゲート酸化膜 $6\sim 15\text{nm}$ にて良好な特性を得ている[4]。今後は、微細化が必要なデバイスに適用する為にデバイスサイズのシュリンクが求められている。

一般的に、シュリンクによりトランジスタの駆動力が向上し消費電力の低減化が図れるが、短チャネル効果により、しきい値電圧のばらつき大、パンチスルー、サブスレッショルド係数劣化等の弊害が生じる。しかしながら、我々が開発している CMOS は SOI 基板を採用し、OFF 時に空乏層を下層の酸化膜まで到達させた完全 OFF を実現するフルデプレッション (Full-Depletion: FD, 完全空乏化) SOI CMOS の為、ほぼ回避が可能と考えられる。一方、ソース、ドレイン形成のボロン、リン拡散はイオン注入ではなく熱拡散を採用している為、横方向拡散による実効チャネル長の低下がありシュリンクには限界がある。我々が開発すべきトランジスタは、我々のミニマルファブ装置の現実のラインナップと性能を踏まえた上で、必要に応じて最先端技術とレガシー技術を適宜取り込んだ、現時点で最も現実的なデバイス構造を採用すべきである。本稿では、今後のミニマルファブの基幹となる CMOS デバイスのシュリンクに向けたプロセスについて述べる。この基幹 CMOS デバイスをベースに今後の集積回路展開を図って行くことになる。

【シュリンクにおける主要なプロセス】

図 1 は現在の CMOS の面積を 80%の大幅シュリンク (20%に縮小)したときの平面と断面構造の概略を示したものである。これは平面的なシュリンクであるが深さ方向についても更にシュリンクが可能と考えられる。採用する主要なプロセスは次の通りである。

- 1. SOI 基板の活性層 Si の薄膜化:** SOI 基板を採用した FD-SOI MOSFET の作成において、活性層 Si を薄膜化し、浅い拡散層とする。
- 2. TiN ゲート:** TiN は最先端ゲート材料であるが、このメリットは、TiN の仕事関数が Si バンドギャップの真ん中にくるために、閾値制御を pMOS と nMOS について逐一やらなくてもほぼ自動的に閾値が理想値に決まることであり、シュリンクによるしきい値電圧のばらつきも抑制できる。
- 3. 浅い拡散層:** 現在、熱拡散によるドーピングを採用しているが極めてレガシーな技術である。ミニマルファブではイオン注入は未だ開発中であること、またパワーデバイスなどでは拡散は欠かせないことなどから、敢えて採用している。拡散時間の最適化により横方向の拡散シフト量を低減し実効チャネル長低下を抑制する。また、ミニマルイオン注入装置が適用可能となれば開発をそちらにシフトする予定である。
- 4. ゲート長は $4\sim 0.5\mu\text{m}$:** これもレガシー技術であるが、我々の多品種少量デバイスマーケティングの徹底的な調査でデザインルールが緩いデバイスでも、無数の少量マーケットの実ニーズがあることを確認している。ただし、今まで拡散層と TiN ゲートの重なり寸法を $2\mu\text{m}$ としていたが、今後は横方向拡散シフト量を考慮し重なりは無しとする。また、ミニマル EB 露光装置を開発中であり、EB 露光ができた時点から最先端系へと開発をシフトさせる予定である。

以上のプロセスはシュリンクに向けデバイス適用検討中であり、手始めにまず 50%のシュリンク構造 (メガファブでは 2 世代分) を検討している。本講演では、以上の全体像について述べる。

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の助成事業 (JPNP12004) の結果得られたものです。

【参考文献】

- [1] 原 史朗, クンプアン ソマワン: 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83 (5), p. 380 (2014).
- [2] 柳永勲, 他, Y. X. Liu et al., IEEE EDTM, 7B-4 (2020).
- [3] Y. X. Liu et al., MNC 2016, 10C-4-2.
- [4] 古賀和博, 他, 第66回応用物理学会春季学術講演会9a-M114-8 (2019).

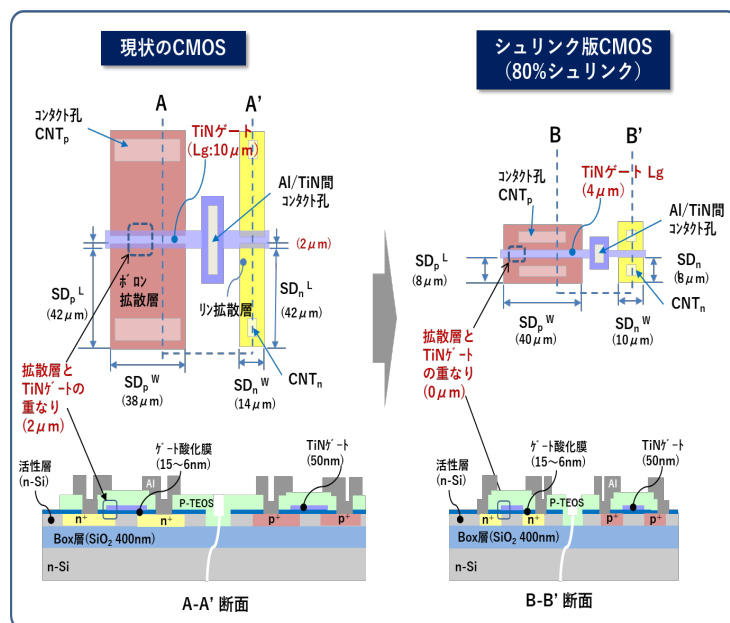


図 1 TiNゲートSOI CMOSのシュリンク概要