

# ハーフインチサイズのマルチチップパッケージ におけるチップ間レーザービア接続(II)

Laser-Via Interconnection for Half-Inch Sized Multi-Chip Packaging (II)

<sup>1</sup>産総研, <sup>2</sup>ミニマルファブ推進機構

<sup>1</sup>AIST, <sup>2</sup>Minimal Fab Promoting Organization

○居村 史人<sup>1</sup>, 中道 修平<sup>2</sup>, 井上 道弘<sup>1</sup>, クンプアン ソマワン<sup>1, 2</sup>, 原 史朗<sup>1, 2</sup>

○Fumito Imura<sup>1</sup>, Shuhei Nakamichi<sup>2</sup>, Michihiro Inoue<sup>1</sup>, Sommawan Khumpuang<sup>1, 2</sup> and Shiro Hara<sup>1, 2</sup>

E-mail: fumito.imura@aist.go.jp

【はじめに】センサ、信号処置回路などを含む複合デバイスで構成される IoT センシングデバイスの開発が進められている。このような IoT デバイスは、本質的に多目的で多品種であるため、少量多品種生産品になってしまう。半導体工場の設備投資の課題を解決する超小型半導体生産システム、ミニマルファブは少量多品種生産に適しており、このミニマルファブにおいても、そのような複合デバイスを開発製造できる仕組みを作ることが求められる。実際に、前工程から後工程・パッケージング工程の半導体生産システムであるミニマルファブ IoT 製造プラットフォームの開発が進められている[1]。複数チップで構成される IoT デバイスを機能させるには、チップ間の電気的接続の高信頼性を得る必要がある。これまで、ハーフインチウェハ上に形成した Cu/Ti 電極パッドとモールド樹脂上の Cu 再配線(RDL: Redistribution Layer)をレーザービアで接続し、低抵抗かつ高歩留りのビア接続が達成されている[2]。次に、複数チップを一つの基板上に配置するミニマルマルチチップボンディング(MCB)装置を開発し、ハーフインチウェハの代わりに6チップをφ13.5mmの42アロイ基板上に配置し、チップ間のレーザービアの電気的接続を評価してきた[3]。ここでは、パッケージングした Si チップには、一般的な実用上の Al パッドを使用し、この Al パッド上にウェハプロセスで Cu/Ti パッドを形成した Si チップを用いた(図1)。電気的接続を評価した結果、ビア抵抗  $R_{via}$  は全ビアの約7割が  $4.8\Omega$  と低抵抗に接続されていたが、ばらつきが大きいのでビア数が増加するとともに累積抵抗が増加してしまう課題があった。ビア抵抗の低減は、ミニマルファブに限らない、先端パッケージ技術全般における主要問題の一つである。ビア抵抗  $R_{via}$  は、各種界面層の薄膜バルク抵抗と層間のコンタクト抵抗の和である。すなわち、 $R_{via}$  は、ウェハプロセスで形成される Cu/Ti/Al 電極パッドの抵抗  $R_{Cu/Ti/Al}$  とパッケージングプロセスで形成される Cu-RDL/Cu の抵抗  $R_{Cu/Cu}$  の和である( $R_{via} \approx R_{Cu/Ti/Al} + R_{Cu/Cu}$ )。そこで、今回は、このばらつき原因を明らかにするために、ウェハプロセスで形成した  $R_{Cu/Ti/Al}$  を測定することで、この Cu/Ti/Al 電極パッド構造が  $R_{via}$  にどの程度影響するのか評価したので、報告する。

【実験】ミニマルファブのウェハプロセス装置群を用いて、図2に示す  $R_{Cu/Ti/Al}$  を測定するためのケルビンパターンを1mmピッチでウェハ面内85個作製した。TEOS膜ドライエッチングにより Al パッドを開口し、レジスト剥離(O<sub>2</sub>プラズマアッシング、アセトン/IPA 洗浄)、Arプラズマクリーニングを行った後、Tiスパッタ膜、Cuスパッタ膜を成膜した。フォトリソ、ウェットエッチングにより、Cu/Tiパッドを形成した。作製したケルビンパターンの4端子IV測定を行い、 $R_{Cu/Ti/Al}$  を求めた。

【結果】図3に測定した  $R_{Cu/Ti/Al}$  のヒストグラムを示す。平均  $0.91\Omega$ 、ばらつき( $1\sigma$ )は13.3%であり、低抵抗かつばらつきの小さい電気的接続が達成されていることがわかった。これと比較するために、前回応物発表した[3]  $R_{via}$  のヒストグラムを同図に示す。 $R_{via}$  の平均  $4.43\Omega$  に占める  $R_{Cu/Ti/Al}$  は約20%と小さかった。また、 $R_{via}$  のばらつき( $1\sigma$ )38.3%に対して、 $R_{Cu/Ti/Al}$  のばらつきはその1/3程度と小さかった。これより、 $R_{via}$  が抵抗値、ばらつきともに大きい原因は、ウェハプロセス時の Cu/Ti/Al パッド形成プロセスで形成された  $R_{Cu/Ti/Al}$  が主な原因ではないことがわかった。これは、マルチチップパッケージングプロセス時に形成される  $R_{Cu/Cu}$  の抵抗値、ばらつきがともに大きいことが原因と考えられ、レーザービア時の Cu パッド膜のアブレーション、モールド樹脂残渣、Cuパッド表面の酸化などが推定される。

謝辞 この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

## 参考文献

- [1] 居村他, エレクトロニクス実装学会誌, 22(6), 507-513, 2019.
- [2] 居村他, 第66回応用物理学会春季学術講演会, 9a-M114-6, 2019.
- [3] 居村他, 第81回応用物理学会秋季学術講演会, 10a-Z10-7, 2020.

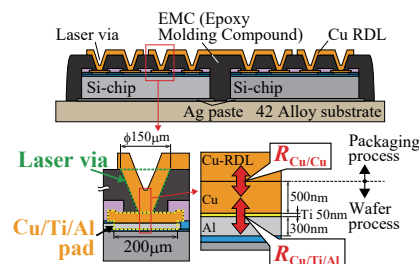


図1. チップ間ビア接続断面図

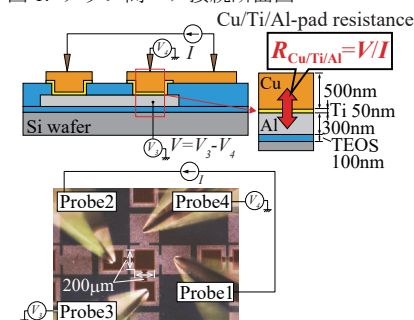


図2. パッド部 Cu/Ti/Al の抵抗測定

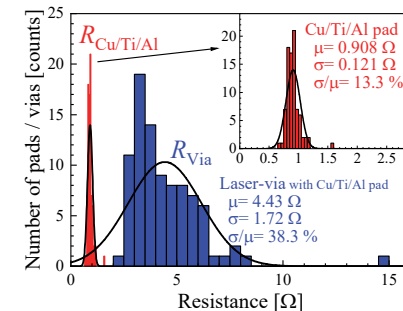


図3. パッド部 Cu/Ti/Al の抵抗測定結果