歪み印加半導体薄膜のヘテロ成長におけるクラック発生とその抑制メカニズム

Mechanisms of crack generation and suppression in hetero growth of strain-induced semiconductor thin films

○我妻 勇哉 [1]、金澤 伶奈 [1]、Md. Mahfuz Alam[1,2]、岡田 和也 [1]、井上 貴裕 [1]、山田 道洋 [3]、浜屋 宏平 [3,4]、澤野 憲太郎 [1]

○Y. Wagatsuma[1], R. Kanesawa[1], Md. M. Alam[1,2], K. Okada[1], T. Inoue[1], M. Yamada[3], K. Hamaya[3,4], K. Sawano[1]

[1]東京都市大学、[2]Univ. of Barishal、[3]阪大基礎工 CSRN、[4]阪大 OTRI

[1]Adv. Res. Lab., Tokyo City Univ., [2]Univ. of Barishal, [3]CSRN, Osaka Univ., [4]OTRI, Osaka Univ.

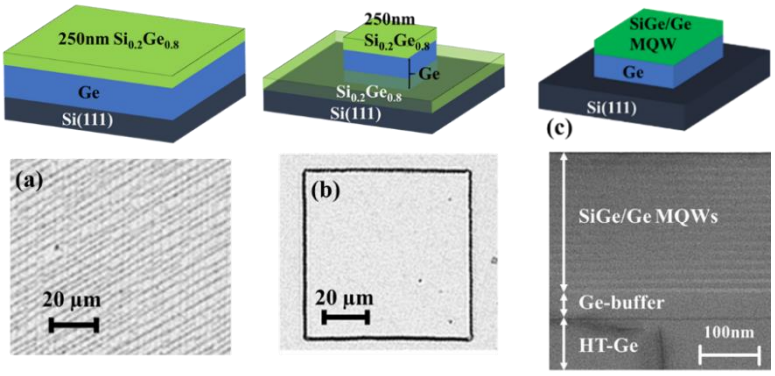
E-mail: g2191206@tcu.ac.jp

1. はじめに

半導体材料に結晶歪みを導入することで、バンド構造の変調が可能となり特性向上が見込めることが分かっている。一般にヘテロ構造を形成することで結晶歪みを加えることができるが、歪みによって欠陥が発生する臨界膜厚が存在し、様々なデバイス応用へ向けて、高品質ヘテロ構造作製には未だに研究の余地は多い。特に、引っ張り歪み膜、特に(111)面方位薄膜の臨界膜厚や欠陥発生メカニズムの解明は進んでいない。最近我々は、発光素子やスピントロニクス応用に有望[1]である引っ張り歪み SiGe 膜の成膜において、マクロな緩和率がゼロであるにもかかわらず、結晶にクラックが生じていることを発見した。そして、パターニング法によりそのクラック発生を大幅に抑制可能であることを報告した[2]。今回、クラック発生とその抑制メカニズムを解明したので報告する。

2. 実験方法、結果と考察

2 段階成長法を用いて Ge-on-Si(111)を MBE により作製後、メサパターンを形成し、その上に SiGe 層(200~300 nm) や SiGe/Ge MQW 層(SiGe=6 nm, Ge=10nm 15 周期)を成長させた。Fig. 1 のレーザー顕微鏡像より、(a)では試料表面には高密度のクラックに起因する線状のラフネスが見られるが(b)ではそのようなラフネスは全く見られない。つまり、選択成長を行うことでクラック発生を完全に抑制でき、臨界膜厚を向上させることに成功した。さらに、多種類のメサパターン上へ成長した SiGe 層の場合では、クラック発生の仕方に違いが見られた。今回それらの結果から、クラック発生源が点状に存在し、その発生源から面内全体へ伝搬すること、発生源の密度は小さく、パターニングにより伝搬パスを断ち切ることで完全に発生の抑制ができることが分かった。また、Fig. 1 (c)の断面 TEM 像よりパターニングを施した Ge-on-Si(111)上へ高品質な SiGe/Ge MQW が作製でき、量子井戸からの強い PL 発光が室温にて得られた。詳細については当日発表を行う。本研究の一部は科学研究費補助金（19H02175, 19H05616, 20K21009）、の支援を受けて行われた。



Figs. 1 Laser microscope surface images of strained SiGe layers grown on (a) un-patterned and (b) patterned Ge-on-Si(111), respectively.(c) A XTEM image for the SiGe/Ge MQW layer on the patterned Ge-on-Si(111) substrate.

[1] K. Hamaya et al., *J. Phys. D: Appl. Phys*. 51, 393001 (2018). [2] Y. Wagatsuma et al., *Mat. Sci. in Semicon. Proc.* 117, 105153(2020).