BiSb トポロジカル絶縁体/NiO/Co 接合における NiO 障壁高さの評価

Evaluation of NiO barrier height in BiSb topological insulator/NiO/Co junctions

東工大 [1], サムスン日本研究所 [2], ○南波章太 [1], 高橋 茂樹 [2], 平山 義幸 [2], ファム ナムハイ [1]
Tokyo Tech.[1], Samsung R&D Inst. Japan[2], ○S. Namba[1], S. Takahashi[2], Y. Hirayama[2], P . N. Hai[1]
E-mail: namba.s.ab@m.titech.ac.jp

SOT-MRAM は純スピン流により磁化状態を制御し情報を記録するメモリであり，高速キャッシュメモリ用途の SRAM を代替する，高速動作，省消費電力な不揮発メモリとして注目されている．SOT-MRAM に必要な高性能スピン流源として３次元トポロジカル絶縁体の BiSb が注目されている．BiSb は重金属と比べてスピンホール角が１桁以上高く，またトポロジカル絶縁体の中でも電気伝導率が比較的高い[1]．一方 SOT-MRAM のスピン流源として用いるには，磁性層へのシャンティングや BiSb 層と磁性層の相互拡散によるスピンホール角の劣化を解決する必要がある．我々はスピン拡散長の長い絶縁体である NiO 中間層を磁性層とスピン流源の間に挟むことにより，シャンティングや相互拡散を防ぎ，効率的に磁性層へのスピン注入ができることを実証した[2]．しかし，NiO 中間層は寄生抵抗として働くため，TMR 比が減少し、SOT-MRAM の読み出しの性能劣化が懸念されている．そこで，本研究ではサファイア基板上に製膜した BiSb(10)/NiO(1.0~3.0)/Co(1)/Pt(1)（単位は nm）の接合において，4 端子法による垂直方向の抵抗を測定することで，TMR 比の劣化の NiO 膜厚依存性を定量的に評価した．

Fig.1 に様々なメサ型素子の 4 端子法による素子抵抗×面積(RA)を NiO 膜厚 t_{NiO} に対してプロットする．RA が膜厚に対して概ね指数的に増えることが見て取れる．また，log(RA)- t_{NiO} の傾きから，NiO のトンネル障壁の高さが 0.1 eV 程度であり，MRAM によく使われる MgO のそれよりも低くなっていることが分かった．この結果から、Fe/MgO/Fe の磁気トンネル接合[3]において，MgO の厚さを 1 nm 程度増やせば，NiO 中間層による TMR 比の劣化を抑制できることが分かった．

参考文献

[1] N.H.D. Khang, Y. Ueda, P. N. Hai, Nat. Mater. 17, 808 (2018).
[2] J. Sasaki, S. Takahashi, Y. Hirayama, P. N. Hai, 第 82 回応用物理学会秋期学術講演会, 11a-S302-8.
[3] S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, K. Ando, Nat. Mater. 3, 868 (2004).

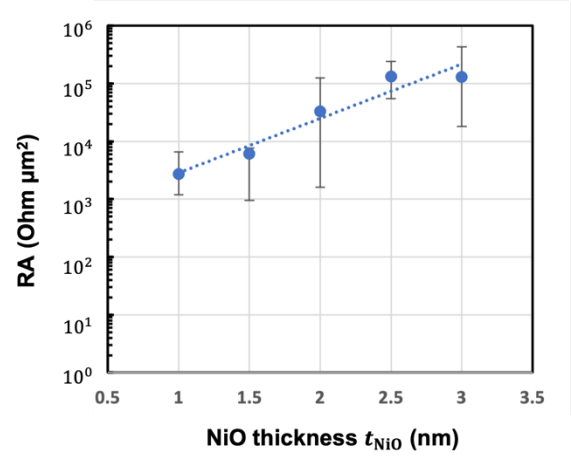

Fig1. NiO thickness dependence of resistance × area (RA) of mesa devices consisting of BiSb (10) / NiO (1-3) / Co(1) / Pt(1) deposited on sapphire substrates. The barrier height of NiO is estimated to be about 0.1 eV, which is much smaller than that of MgO.

© 2022年 応用物理学会