

HEMT の出力アドミッタンスのシミュレーション

Device Simulation of Output Admittance of HEMT's

産総研 ○福田 浩一, 服部 淳一, 浅井 栄大, 池上 努, 井手 利英, 清水 三聡

AIST ○Koichi Fukuda, Junichi Hattori, Hidehiro Asai,

Tsutomu Ikegami, Toshihide Ide, and Mitsuaki Shimizu

GaN 系の HEMT では低周波の出力アドミッタンス Y_{22} パラメータをデバイス内のトラップ評価・モデリングに用いている[1]。我々はトラップによるキャリア発生・再結合項のデバイスシミュレーションへの組み込みに安定化手法を適用し CV 特性などに適用してきており[2]、種々のトラップと広範な周波数で安定したデバイスシミュレーションを可能にしており、出力アドミッタンスのシミュレーションを行った。

Fig. 1 に計算に用いた HEMT の構造例を示す。層間の歪による界面電荷の設定により GaN 層表面に高濃度のチャンネル電子が存在する。トラップのエネルギー・濃度・捕獲断面積によって電気特性が変化する。デバイスシミュレーションを用いることでトラップの種類を仮定した場合の電気特性への影響を順方向で予測することで、複合したトラップの推定精度を向上できる。

デバイスシミュレーションには新しい方程式や物理モデルの組み込みを容易にする自動微分機能を備えた Impulse TCAD[3]を用いた。解析には継時解析モードを用い、トラップを単に電子・正孔の発生再結合として扱うのではなく、トラップ方程式をカップルして半導体の基本方程式とともに自己無撞着に解いている。Fig. 2 にシミュレーション例として Y_{22} の虚部の周波数依存性を示す。複数のトラップを想定した場合でも、広範な周波数に対し安定した結果が求まっている。

This work was partially supported by Council for Science, Technology and Innovation(CSTI), Cross-ministrial Strategic Innovation Promotion Program (SIP), “Energy systems of an Internet of Energy (IoE) society” (Funding agency:JST).

[1] P. Vigneshwara Raja et al., IEEE Trans. Electron Devices, 67, 6 (2020).

[2] K. Fukuda et al., JJAP 57 (2018).

[3] T. Ikegami et al., J. Computational Electronics, 18, 2 (2019).

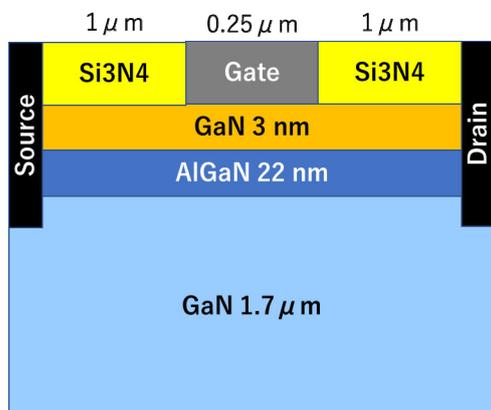


Fig. 1 Simulated HEMT structure.

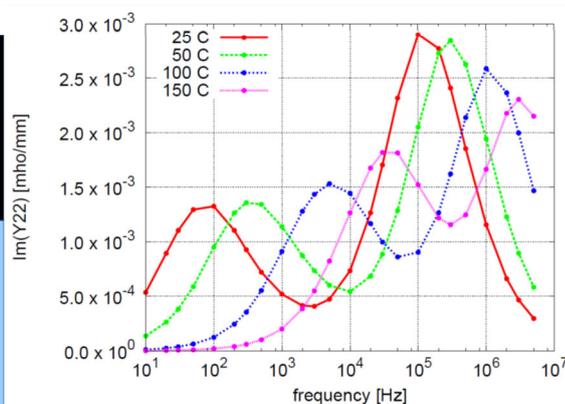


Fig. 2 Imaginary part of output admittance Y_{22} . Acceptor type traps $E_c-0.47$ eV and $E_c-0.26$ eV are assumed.