C-Si 結合 2DHG ダイヤモンド MOSFET; 低温(10 K)でのノーマリーオフ特性と広い温度安定性(10-573 K)

C-Si bonded 2DHG Diamond MOSFETs ; Normally-off Characteristics at Low Temperature (10 K) and Wide Temperature Stability (10-573 K)

早大理工 [1]，名大未来研 [2]，早大材研 [3]
°(M2)行木 佑太 [1]，畢 特 [1]，角田 隼 [1]，新倉 直弥 [1]，荒井 雅一 [1]，
平岩 篤 [1,2]，川原田 洋 [1,3]

Waseda Univ. [1], Nagoya Univ.[2], Kagami Memorial Research Inst. for Materials Science and Tech.[3]
°Yuta Nameki[1], Te Bi [1], Jun Tsunoda[1], Naoya Niikura[1], Masakazu Arai[1], Atsushi Hiraiwa[1, 2], Hiroshi Kawarada[1, 3]

E-mail: yuta_n-1225@toki.waseda.jp

ダイヤモンドは、高性能パワーデバイスを実現できる次世代ワイドバンドギャップ半導体材料である。一般に電界効果トランジスタ(FET)のチャネル特性は、表面終端構造の影響を受ける。H 終端（C-H）表面で誘起される 2 次元正孔ガス（2DHG）を利用したが FET を我々は、早くから報告してきたが、最近では、高いチャネル移動度 [1]が、高い正孔密度にて得られている。そして、Si や GaN に匹敵する高いドレイン電流密度 [2]、高い高周波電力密度 [3]が、ALD-Al_2O_3 のゲート絶縁膜の MOSFET にて報告されている。

しかし、水素終端ダイヤモンド表面上の絶縁膜は密着性が乏しく、実用上問題がある。C-H 結合はダイヤモンド表面の sp3 結合の安定化の点から他の結合より優れる。これに代わる結合として、同様の効果が期待される C-Si 結合を今回は絶縁膜の密着性とチャネル移動度の観点から検討した。また、パワーデバイスに広く使用されている SiO_2 をゲート絶縁膜に採用した。ダイヤモンド-SiO_2 界面の C-Si 結合は、界面状態密度を低く、高い正孔移動度が期待される。C-Si 結合形成には、ソース・ドレイン用の B ドープダイヤモンドの選択成長のマスクとして利用した SiO_2 とダイヤモンドの高温反応を利用した。その際、界面に形成される C-Si 結合を p チャネル表面として使用し、C-Si ダイヤモンド MOSFET を形成した。この FET からノーマリーオフ動作[4]と高温(300-673 K)動作[5]が報告されている。今回は、Fig.1, Fig.2 に示すような C-Si ダイヤモンド MOSFET のさらなるゲート絶縁膜の薄膜化を行い、低温(10 K)測定を行った。その結果、C-Si ダイヤモンド MOSFET で高い移動度と低温におけるノーマリーオフ動作が得られた。さらに、室温(300 K)と比べて低温(10K)測定での電流値を一定に保ち、閾値電圧の絶対値が大きいノーマリーオフ動作を達成した。

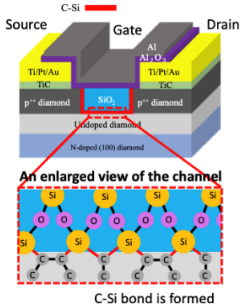

Fig.1 デバイスの概略図

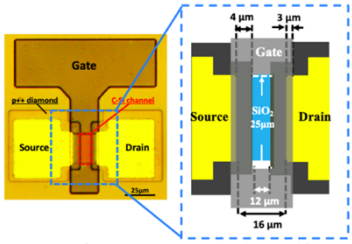

Fig.2 デバイスの上面図（光学顕微鏡）

ゲート幅 25 μm で規格化したゲート長 12 μm の C-Si ダイヤモンド MOSFET にて、最大ドレイン電流密度は、V_{DS}-30 V および V_{GS}-40 V で-32 mA / mm であり、同ゲート長のノーマリーオフ・ダイヤモンド FET では、高い値である。ピーク相互コンダクタンスは V_{DS}-30 V で 2.6 S / mm、電界効果移動度 μ_{EF} は 201 $cm^2V^{-1}s^{-1}$ であった。さらに、300 K(Fig.3)の時、最大ドレイン電流密度-32 mA / mm、しきい値電圧 Vth = -10.0 V でノーマリーオフ動作を示し、10 K(Fig.4)の時、最大ドレイン電流密度 -40 mA / mm、しきい値電圧 Vth = -12.5 V でノーマリーオフ動作を示した。ドレイン電流のオン/オフ比は、室温(300 K)と低温(10 K)ともに約 9 桁であった。一方、10K では、低い V_{DS} での I_D の立ち上がりが低い。これは p^+ソース層から 2DHG チャネルへの正孔注入に障壁が存在することを示している。p^+層のさらなる低抵抗化によりこの問題を解決したい。

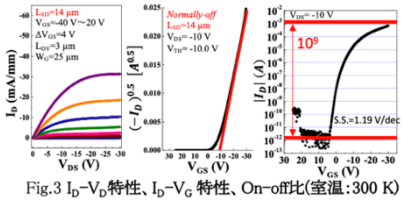

Fig.3 I_D–V_D特性、I_D–V_G 特性、On–off比(室温：300 K)

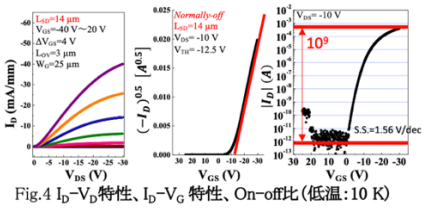

Fig.4 I_D–V_D特性、I_D–V_G 特性、On–off比(低温：10 K)

[謝辞] 本研究は、学際・国際的高度人材育成ライフイノベーションマテリアル創製共同研究プロジェクト（文科省）及び文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラトフォーム)の支援を得た。

[1] Y.Sasama, T.Yamaguchi, et al.,APL Mater. 6(2018)
[2] K.Hirama, M.Kasu, et al., Jpn. J. Appl. Phys. 51, no. 9.(2012)
[3]S. Imanishi, H.Kawarada, et al. IEEE Electron Device Lett.
[4] W.Fei, H.Kawarada et al., Appl. Phys. Lett.**116**,212103(2020)
[5] T. Bi, Y.Chang, H. Kawarada et al, Appl. Carbon, 175, 2021

© 2022年 応用物理学会