組合せ最適化問題に向けたログ・エンコーディングによる ReRAM を用いたコンピュテーション・イン・メモリ

ReRAM based Computation-in-Memory with Log-encoding for Combinatorial Optimization Problems

東大工，○三澤　奈央子，松井　千尋，竹内　健

Univ. of Tokyo, ◦Naoko Misawa, Chihiro Matsui, Ken Takeuchi

E-mail: misawa@co-design.t.u-tokyo.ac.jp

組合せ最適化問題の 1 つであるナップサック問題を，シミュレーティッドアニーリングを用いてコンピュテーション・イン・メモリで解く場合，従来のエンコーディングはナップサック容量が増えると，回路面積が線形的に大きくなるという問題がある[1]．そこで，ログ・エンコーディングによる ReRAM コンピュテーション・イン・メモリを提案する(図 1)[2]．提案のログ・エンコーディングは，従来のエンコーディングに比べ，アレイ面積が 97.6%縮小する(図 2)．ReRAM デバイスの非対称なエラー特性 (図 3) を考慮し，二次形式のハミルトニアンにおける QUBO 行列の “0” を HRS に記憶すると，LRS に記憶するときに比べて，許容できるビット・エラー率 (BER) が 10 倍，許容できるビット精度が 5 ビットまで向上する (図 4).

謝辞　この成果は，国立研究開発法人新エネルギー・産業技術総合開発機構（ＮＥＤＯ）の委託業務の結果得られたものです.

参考文献 [1] K. Taoka et al., *IMW*, 2021, pp.119-122. [2] N. Misawa et al., *SSDM*, 2021, pp. 119-120.

$$H = \underbrace{-\sigma \sum_{\alpha=1}^{N} v_\alpha x_\alpha}_{\text{Cost function (Energy for total value)}} + \underbrace{\mu \left(W - \sum_{i=1}^{\lfloor \log_2 W - 1 \rfloor + 1} 2^i y_i - \sum_{\alpha=1}^{N} w_\alpha x_\alpha \right)^2}_{\text{Penalty function (Energy for total weight)}}$$

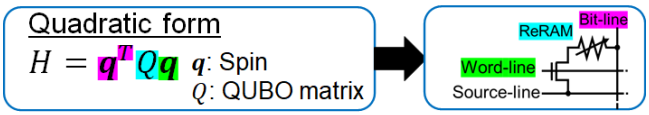

図 1　提案のログ・エンコーディングによるハミルトニアンおよび回路へのマッピング方法

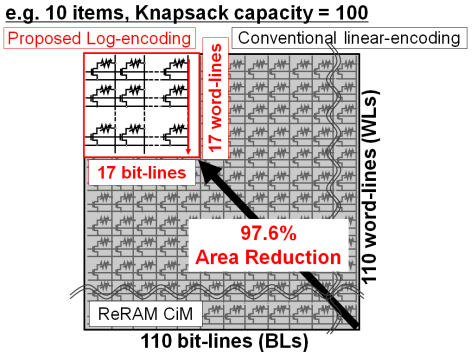

図 2 提案のログ・エンコーディングと従来のコーディングによるアレイ面積の比較

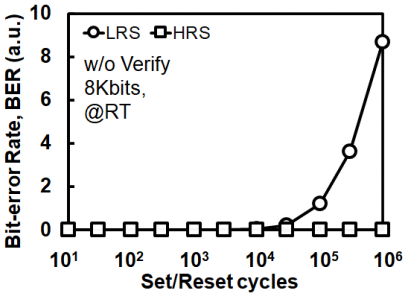

図 3 ReRAM デバイスの書き換え回数におけるビット・エラー率 (BER)

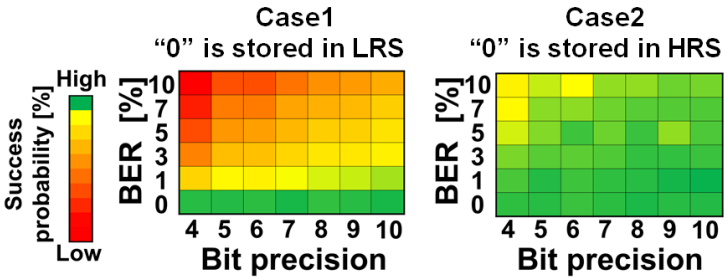

図 4　“0”を LRS に記憶した場合 (Case1) と，HRS に記憶した場合 (Case2)の BER による成功確率の比較

© 2022年 応用物理学会