高濃度共ドープした Si ナノトランジスタの単一電子トンネリング評価

Single-electron tunneling in Si nano-transistors co-doped at high concentration 静大電研¹, ○金子 義¹, タルナ・テジャ・ジュパリ¹, 三浦 舜平¹, 山口 謙祐¹,

モラル・ダニエル1

Shizuoka Univ.¹, °T. Kaneko¹, T. T. Jupalli¹, S. Miura¹, K. Yamaguchi¹, and D. Moraru¹ E-mail: kaneko.tsutomu.17@shizuoka.ac.jp; moraru.daniel@shizuoka.ac.jp

I. 緒言

送メカニズムに注目している[1-5]。これまでの研究れ、現在更なる解析を行っている。 では、リンドナーのみをチャネル全面にドーピング してドナークラスターを形成し、高温での SET が **Ⅳ. 結論** 報告されている。これは、ポテンシャル障壁が熱拡 Ρドナー、Βアクセプタの両方を高濃度でドーピン 散電流を抑制しているためと考えられている。しか グしたナノスケール SOI-FETs における SET 現象 し、室温動作の場合は熱拡散電流がポテンシャル障 を確認した。量子ドットはドーパントによるクラス 壁を上回るため、SET を観測することができない。 そのため、チャネル全体へのランダムなリンとホウ とが示唆された。更なる解析を行うことでドナーク 素の共ドープにより、チャネル中の電位変動が大き ラスターを介した高温の SET 動作の共ドープの影 くなる[6]ことを期待して、本報告では、リンドナー 響を明らかにすることを目指している。 クラスター間のポテンシャル障壁を高める目的で 作製した共ドープシリコンナノトランジスタの場 合について検討したので報告する。

Ⅱ. デバイス構造

Fig. 1(a), (b)に示すように Top-Si、埋め込み酸化 膜、Si 基板の三層構造を持つ SOI 基板上にシリコ Fig. 1. (a) Schematic device structure of an SOI-FET. (b) ンナノトランジスタを作製した。リンとホウ素のド ーピング濃度はそれぞれ $N_D \approx 2.0 \times 10^{20}$ cm⁻³, N_A≈5.3×10¹⁹ cm⁻³ で全面高濃度共ドープを行った。 また、デバイスのデザインパラメータはチャネル長 L_{ch}=0~1000 nm, W_{ch}=10~500 nm である。ドーパント 分布の統計解析を行うにあたり、チャネル中の量子 ドットを介した複数の電流経路を防ぐため、今回は 最も小さいサイズの SOI-FETs について解析を行っ た[Fig.1(b)]。

Ⅲ. 結果

Fig. 2 にデザインパラメータがチャネル長 L_{cb}=0 nm, チャネル幅 W_{ch}=50nm で設計されたデバイス の I_D-V_G 特性(a)とスタビリティダイアグラム(b)の 結果を示す。このデバイスでは 8.0 K の I_D-V_G 測定 より SET による電流ピークが観測できた。スタビ リティダイアグラムによると、クーロンダイアモン

ドを確認することができた。このことから、低温下 近年、トランジスタの微細化が進み、ナノスケー では SET が働いていることが示唆される。これら ルに達したことで、特性にばらつきが出て安定しな の測定データから、クーロンブッロケードシミュレ いという問題がある。我々はチャネル中のドーパン ーションに必要な主要なパラメータを算出した。シ トを利用した単一電子トンネリング(SET)という輸 ミュレーションから類似の挙動を示す結果を得ら

ターのランダムな分布によって形成されているこ



SEM image of channel region before top-gate formation.



Fig. 2. (a) I_D -V_G characteristics and (b) stability diagram for a co-doped SOI-FET with L_{ch}=0 nm, W_{ch}=50 nm (as designed) at T=8 K.

- [1] H. Sellier et al., Phys. Rev. Lett. 97, 206805 (2006).
- [2] Y. Ono et al., Appl. Phys. Lett. 90, 102106 (2007).
- [3] M. Tabe et al., Phys. Rev. Lett. 105, 016803 (2010).
- [4] A. Samanta et al., Appl. Phys. Lett. 110, 093107 (2017).
- [5] A. Afiff et al., Appl. Phys. Express 12, 085004 (2019).
- [6] B. I. Shklovskii and A. L. Efros, "Electronic Properties
- of Doped Semiconductors", Springer (2013).

This work was partly supported by KAKENHI JP19K04529.