

p-n-i-n 構造によるトンネル FET の出力特性改善に関する検討

A Study on improvement of output characteristics of tunnel FET with p-n-i-n structure

○藤井陸功, 遠藤孔輝, 呉研, 高橋芳浩 (日大理工)

○Riku Fujii, Koki Endo, Yan Wu, Yoshihiro Takahashi (Nihon Univ.)

E-mail: csri21021@g.nihon-u.ac.jp

序論

電子デバイスの低消費電力化のために、急峻なサブスレッショルド特性を有する Steep-slope transistor が求められている。中でも我々は、作製工程が MOSFET と類似したトンネル FET (TFET)について注目し、電気的特性向上について研究を行ってきた[1]。しかし、TFET における I_D - V_D 特性の立ち上がりは、従来の MOSFET に比べ緩やかであり、CMOS 回路に適用した際にスイッチング時間の増大を招く[2]。そこで今回、 I_D - V_D 特性の立ち上がり特性改善を目的に、TFET の Source-Body 界面に n 形領域 (Pocket 領域)を形成した p-n-i-n 構造[3]を適用し、デバイスシミュレーションを用いて検討を行った。

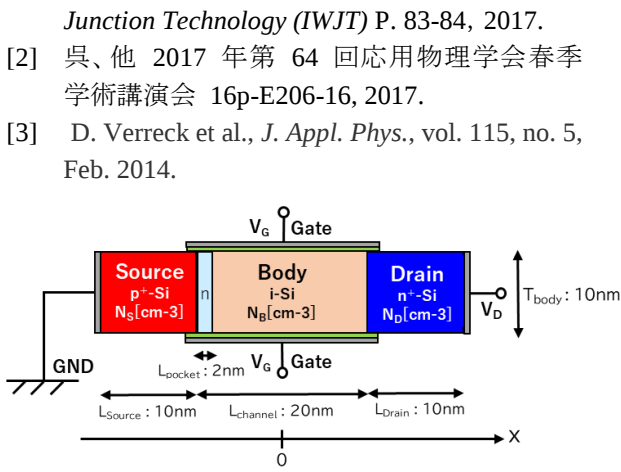


Figure 1. n-ch Si TFET with p-n-i-n structure

シミュレーションモデル

Figure. 1 に p-n-i-n 構造を有する n チャネル型 Si TFET の計算モデルを示す。 $L_{Channel} = 20$ nm, $L_{Pocket} = 2$ nm, $L_S = L_D = 10$ nm, ゲート酸化膜厚 0.6 nm, Body 厚さ 10 nm とした。また不純物濃度は、Pocket 領域: $N_P = 5 \times 10^{19}$ cm⁻³, Body 領域: $N_B = 5 \times 10^{19}$ cm⁻³, Drain 領域: $N_D = 1 \times 10^{19}$ cm⁻³ とし、Source 領域 (N_S)を $5 \times 10^{19} \sim 1 \times 10^{21}$ cm⁻³ の範囲で変化させた際の電気的特性を、Synopsys 社 Sentaurus TCAD シミュレーターを用いて評価した。

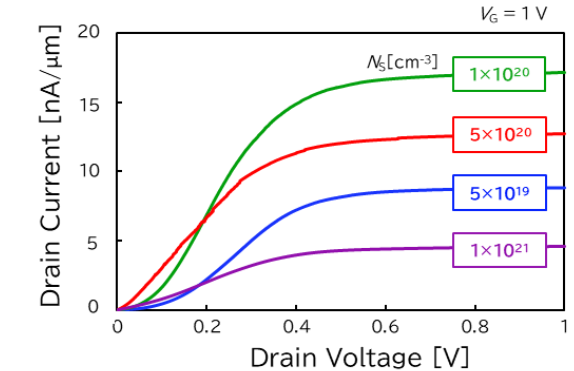


Figure 2. N_S dependence of I_D - V_D curves of Si TFET with p-n-i-n structure.

結果及び考察

Figure. 2 に、 $V_G = 1.0$ V (ON 状態)における I_D - V_D 特性 (N_S 依存性)を示す。結果より、 $N_S = 5 \times 10^{20}$ cm⁻³ において I_D - V_D 特性の立ち上がりが急峻となることが確認できる。また、Figure. 3 には $N_S = 5 \times 10^{20}$ cm⁻³, $V_G = 1.0$ V, $V_D = 0 \sim 0.4$ V の条件における、ソース-チャネル-ドレイン領域のエネルギーバンド図を示す。Pocket 領域の存在により、 $V_D = 0$ V においても Source 部の E_V がチャネルの E_C よりも高く、かつ短いトンネル距離を有する接合が実現できることがわかった。これにより、急峻な I_D - V_D 特性が得られたものと考えられる。

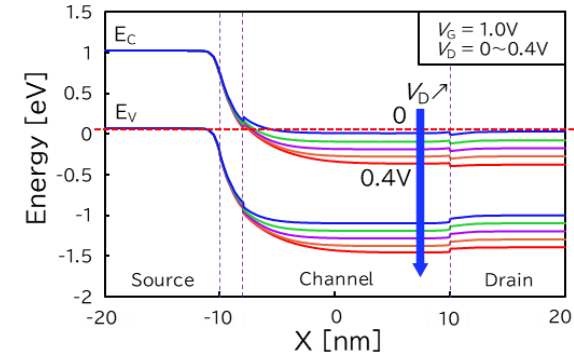


Figure 3. Band-diagram of source-channel-drain region in p-n-i-n TFET with $N_S = 5 \times 10^{20}$ cm⁻³ under $V_G = 1$ V and $V_D = 0$ to 0.4 V.

謝辞

本研究は、東京大学大規模集積システム設計教育研究センター(VDEC)を通し、シノプシス株式会社の協力で行われたものである。

参考文献

[1] Y.Wu , 他 : *International Workshop on*