

CMOS を用いたスピン量子ビット読み出し単一電子回路シミュレーション

Simulation of CMOS circuit and single-electron transistors for readout of spin qubits

帝京大理工¹, 理研² ○棚本 哲史¹, 大野 圭司²

Teikyo Univ.¹, Riken², °Tetsufumi Tanamoto¹, Keiji Ono²

E-mail: tanamoto@ics.teikyo-u.ac.jp

これまで、単一電子トランジスタ (single-electron transistor: SET) について、多くの研究がなされてきた。特に、タッカーの提案[1]以来、ロジック回路やメモリなど CMOS 回路(Complementary metal-oxide-semiconductor)の代替を目指して多くのアプローチがなされてきたが、シリコントランジスタのサイズが従来の SET と同じようなサイズとなった現在、SET は、従来回路部品の代替ではなく、電流標準やシリコンを使用した量子計算の読み出し分野での重要性が増している。

一般に、SET の信号は、CMOS デバイスの信号よりも小さい。これにより、単一の SET の信号を読み出すために多くの増幅回路を用いた提案がなされている[2]。しかし、それらの回路構成は複雑であり、多数の量子ビット読み出しとして使うには疑問が残る。ここでは単一の SET の小さな出力を増幅する代わりに、参照 SET を用意し、二つの SET の信号の差分を増幅する回路について SPICE を使い、シミュレーションした結果を報告する[3]。概念図を図 1 に示す。まず、SET に直接接続したトランジスタで第一の増幅を行い、次に二つの増幅された二つの SET の信号を第二の増幅回路で増幅する。ここで、第二の増幅回路としては差動増幅回路、SRAM を利用する。図 2 に差動増幅回路を用いた計算結果の例を示す。

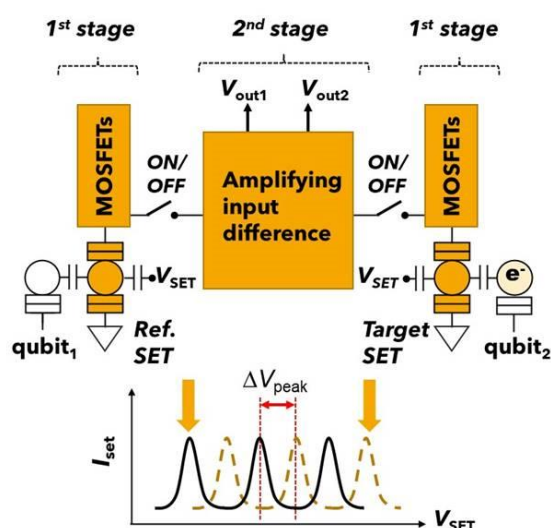


図 1 : SET をペアとして読み出す提案回路。

二つの増幅回路から構成される

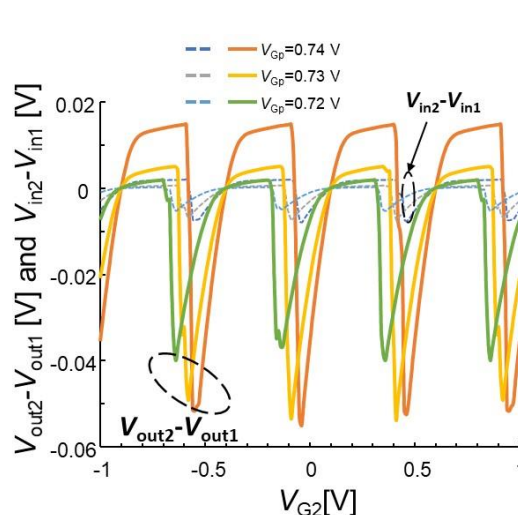


図 2 : 第二の増幅回路(2nd stage)に汎用の差増幅回路を利用した信号の増幅。SET の信号さ $V_{in1}-V_{in2}$ が増幅されている。

[1] J. R. Tucker, J. Appl. Phys. 72, 4399 (1992).

[2] A. Ruffino, et al. ISSCC 2021.

[3] T. Tanamoto and K. Ono, Appl. Phys. Lett. 119, 174002 (2021).