

ゲート制御 Si-MOS デバイスにおける非平衡ダイナミクスと電荷雑音評価 Non-equilibrium dynamics and charge noise in gate-controlled Si-MOS devices

名大工 ○(M2) 佐藤 克哉, 宮本 聡, 宇佐美 徳隆

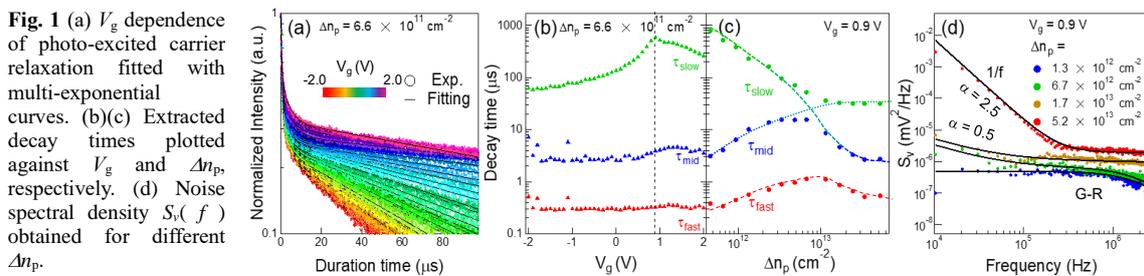
Nagoya Univ. ○Katsuya Sato, Satoru Miyamoto, Noritaka Usami

E-mail: sato.katsuya@a.mbox.nagoya-u.ac.jp

【背景】シリコン半導体技術が適用可能な Si-MOS 型量子ビットでは、同位体制御により周囲の磁氣的雑音が抑制された環境下で、電子スピンのコヒーレンス時間の延伸と高い計算忠実度が達成されている[1]。最近の量子ビット操作のベンチマークテストでは、残されたデコヒーレンス要因として低周波領域での $1/f$ 雑音の寄与が指摘されており[2]、MOS 界面・絶縁膜内にある単一・集団的な電荷トラップや 2 準位揺らぎが電氣的雑音の主要源と考えられる。実際に、単電子トランジスタなどのナノデバイス構造の電気伝導特性でも観察されるものの[3]、その起源の解明は十分とは言えない。本研究では、Si-MOS 構造内に光励起した非平衡キャリアの緩和測定から電氣雑音評価を行うことで、絶縁膜界面におけるキャリアの動的挙動と電荷トラップの寄与について検証した。

【実験方法】Si-MOS 構造には、n 型 Fz-Si(100)基板($1-5 \Omega \cdot \text{cm}$)に原子層堆積法で Al_2O_3 絶縁膜($\sim 40 \text{ nm}$)を成膜し、半透明な Pd 蒸着膜($\sim 5 \text{ nm}$, 透過率 $\sim 67\%$)を電極とするゲート制御デバイスを用いた。波長 349 nm のパルスレーザーで MOS 界面近傍($\sim 10 \text{ nm}$)を光励起し、導波管照射したマイクロ波の反射率から光励起キャリア密度の時間応答を測定した。この際、光励起量 Δn_p 及びゲート電圧 V_g を変化させながら、キャリア緩和時間及び雑音成分を抽出した。

【結果と考察】キャリア緩和の V_g 依存性を Fig. 1(a)に示す。デバイス内に複数の緩和過程が存在し、多重指数関数で良くフィッティングされる。抽出した各緩和時間 τ_i を V_g に対してプロットすると[Fig. 1(b)], τ_{fast} は全体的に変化が小さい一方、 τ_{mid} と τ_{slow} はフラットバンド近傍(縦点線)でピーク形状を示す。即ち、 τ_{fast} はバンド変調の影響を受けにくい緩和初期のバルク拡散伝導で[4]、 τ_{mid} と τ_{slow} が MOS 界面近傍の緩和過程に対応すると考えられる。ここで、光励起量 Δn_p を変化させていくと[Fig. 1(c)], $\Delta n_p \sim 8 \times 10^{12} \text{ cm}^{-2}$ 付近で τ_{mid} と τ_{slow} はクロスオーバー領域を示し、計算結果との対応から MOS 界面近傍の SRH 過程とオージェ過程の競合であると示唆される。Fig. 1(a)の時間応答に含まれる電圧雑音スペクトル密度 $S_v(f)$ の解析結果を Fig. 1(d)に示す。高周波側は、光励起キャリアの生成-再結合(G-R)雑音を意味する Lorentzian で記述されるのに対し、低周波領域では、 $1/\tau_{\text{mid}}$ と $1/\tau_{\text{slow}}$ に対応する周波数スケールで $1/f$ 雑音(指数ファクター $\alpha=0.5-2.5$)が現れることがわかった。



謝辞: MEXT-QLEAP(JPMXS0118069228)、JSPS 科研費(JP21H01808)、池谷科学技術振興財団の助成による。
[1] M. Veldhorst *et al.*, Nat. Nanotechnol. **9**, 981 (2014). [2] K. W. Chan *et al.*, Phys. Rev. Applied **10**, 044017 (2018).
[3] L. Kranz *et al.*, Adv. Mater. **32**, 2003361 (2020). [4] P. M. Jordan *et al.*, Appl. Phys. Lett. **106**, 061602 (2015).