

超伝導乱数生成器を用いた小面積・低遅延ストカスティック数生成器の設計

Design of a small-area and low-latency stochastic number generator using superconducting random number generator

横浜国立大学 ○牛山雄登¹, 山梨裕希², 吉川信行³

Yokohama National Univ. ○Yuto Ushiyama¹, Yuki Yamanashi², Nobuyuki Yoshikawa³

E-mail: ushiyama-yuto-wc@ynu.jp

1 はじめに

半導体回路でのストカスティック演算は確率情報に基づいて演算を行う方式で一般的な2値演算方式と比較して、面積効率が良いハードウェアを実現しやすい方法として知られている。一方で2進数からストカスティック数(SN)への変換回路の面積、遅延時間のオーバーヘッドが大きい。通常では疑似乱数生成器の線形帰還シフトレジスタ(Linear Feedback Shift Register: LFSR)を用いてストカスティック数生成器(Stochastic Number Generator: SNG)を設計している。本研究では低面積性に優れた真性乱数生成器の超伝導乱数生成器(Superconductive Random Number Generator: SRNG) [1]を用いて低面積かつ低遅延のSNGを設計した。

2 SRNGを用いたSNGの評価

SRNGを用いた4bit SNGの回路図を図1に示す。バイナリ値 $B(B_3B_2B_1B_0)_2$ 、乱数 $R(R_3R_2R_1R_0)_2$ と置いたとき B の値が R の値よりも大きい時のみ出力 S が得られる回路であり、理論的に S の1の出力確率は確率 $P=B/16$ である。図1の回路を設計し、シミュレーションを行い理論値との誤差として、二乗平均平方根誤差を求めた。図2にSNの長さが5000bitの時の周波数ごとの二乗平均平方根誤差を示す。SNGが出力するSNの値が許容する最大誤差を量子化誤差が生じないSNの分解能の1/2以下とした。4bit SNGの場合に許容する最大誤差を $E = 1/2^4 \cdot 1/2 = 1/2^5$ とした。図2より4bit SNGは最大約50GHzで動作する。図3に30GHz動作時の各SN列の長さの二乗平均平方根誤差を示す。通常の4bit SNGの場合、許容する最大誤差以下にするために必要なSNの長さは256bitであることが知られている[2]。一方、図3よりSRNGを用いた回路で必要なSNの長さは192bitである。必要なSNの長さが少なく、SNを短い時間で表現できることから低遅延の回路と言える。AIST 10 KA/cm² Nb High-speed Standard Process (HSTP) で通常の4bit SNGとSRNGを用いた4bit SNGを比較した結果、Cell数約33%、JJ数約28%の削減を実現した。

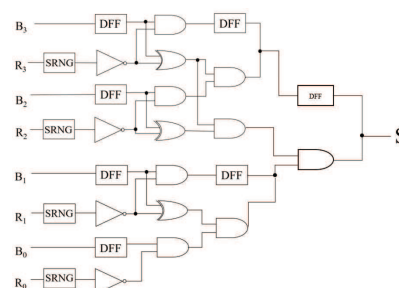


図1 Circuit of 4 bit SNG

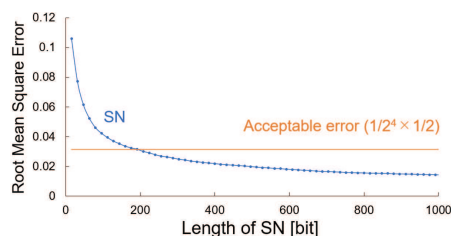


図2 Dependence of error on frequency

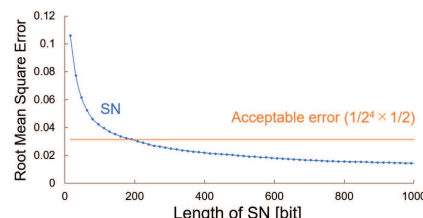


図3 Dependence of error on the length of stochastic sequence

3 まとめ

SRNGを用いて最大約50GHzで動作する4bit SNGを設計し、小面積、低遅延の回路を実現した。発表当日で4bit以上のSNGの面積比較について議論する。

参考文献

- [1] Y. Yamanashi and N. Yoshikawa, IEEE Trans. Appl. Supercond., vol. 19, no. 3, pp. 630-633, 2009.
- [2] Devon Jenson and Marc D. Riedel, 2016 IEEE/ACM ICCAD, no. 102, pp. 1-8, 2016.