超伝導単一磁束量子回路によるクロックレス論理ゲートを用いた低面積 4bit 桁上げ先取り加算器の設計

Design of a Low-Area 4-bit Carry Lookahead Adder Using Clockless Logic Gates with Superconducting Single Flux Quantum Circuits

横国大理工 [1]　○ 藤澤 大世 [1]，山梨 裕希 [1]，吉川 信行 [1]
Yokohama National Univ.[1] ○Taisei Fujisawa[1], Yuki Yamanashi[1], Nobuyuki Yoshikawa[1]
E-mail: fujisawa-taisei-bc@ynu.jp

1　はじめに

超伝導単一磁束量子回路の大規模集積化に向けて，クロックの配線による面積コストの増加が問題となる．これを軽減するために，クロックレス論理ゲートが提案されている．通常のクロック同期式論理ゲートをクロックレス論理ゲートに置き換えることで，回路面積の削減やタイミング設計の簡易化が期待できる．前回の講演会では，加算器の要素回路である Exclusive OR(XOR) ゲートを非同期 (クロックレス) にて設計し，シミュレーションによる評価を行ったことを報告した [1].

本講演では，以前に設計したクロックレス XOR ゲートの測定結果を報告する．また，このクロックレス XOR ゲートと，これと同様の原理で動作するクロックレス AND・OR ゲートを用いて，低面積 4bit 桁上げ先取り加算器を設計したことを報告する．

2　クロックレス XOR ゲートの測定

クロックレス XOR ゲートの低速測定におけるオシロスコープの波形を図 1 に示す．クロックレス XOR ゲートの動作実証を行うことができた．バイアスマージンは，87%から 113%であった．

3　4bit 桁上げ先取り加算器の設計

桁上げ先取り加算器 (Carry-Lookahead Adder: CLA) は，キャリー先読み (Carry-Lookahead) の機能が追加された加算器である．CLA の構成要素である全加算器およびキャリー先読み論理回路には XOR ゲートが多数使用される．このため，前回報告したクロックレス XOR ゲートを用いることで，クロック配線の大幅な削減が可能である．設計した 4bit CLA のシミュレーション波形を図 2 に示す．クロックは使用せず，回路全体が非同期で動作する．完全非同期設計とすることで，クロック配線が占める部分を排し，クロック同期式の論理ゲートのみを用いた CLA と比較して回路面積を従来の約 60%に削減することができた．

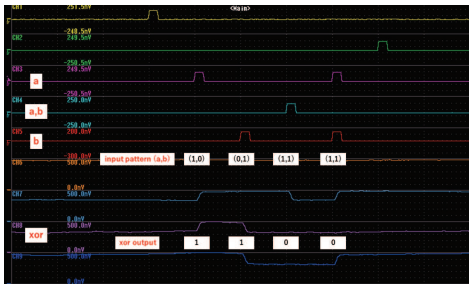

図 1: 低速測定におけるオシロスコープの波形画像.

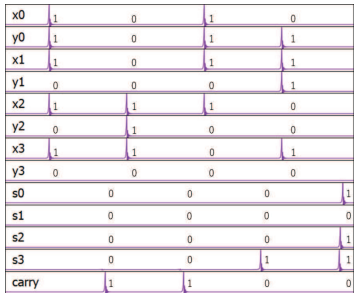

図 2: 4bit CLA の入出力波形.

4　まとめと今後

前回報告したクロックレス XOR ゲートの動作実証を行った．また，これを用いて，4bit CLA を完全非同期で設計し，回路面積を削減することができた．当日は，回路の設計方針などについても述べる．今後は，CLA のチップを作製し，動作実証を行う．

謝辞

本研究に使用された回路は，産業技術総合研究所 (AIST) の超伝導クリーンルーム (CRAVITY) において，HSTP プロセスを用いて作製された．

参考文献

[1] 藤澤 大世，山梨 裕希，吉川 信行, 第 *82* 回 応用物理学会秋季学術講演会, 2021 年 9 月.

© 2022年 応用物理学会