

インパルス信号によるメモリセルの状態制御の実証

Demonstration of controlling the state of memory cell by impulse-signals

名大院工, °竹下 雄登, 藤澤 日向, 加藤 健人, 東 正志, 李 峰,
田中 雅光, 山下 太郎, 藤巻 朗

Nagoya Univ. ¹, °Yuto Takeshita, Hinata Fujisawa, Kento Kato, Masayuki Higashi, Feng Li,
Masamitsu Tanaka, Taro Yamashita, and Akira Fujimaki

E-mail: takeshita@super.nuee.nagoya-u.ac.jp

背景 単一磁束量子(SFQ)回路は、パルス論理によって、高速かつ低消費電力なデジタル信号処理が可能であり、これまでにマイクロプロセッサなどの大規模な演算回路の高速動作が実証されてきた[1]。汎用 SFQ コンピュータシステムの実現には、SFQ マイクロプロセッサの高速動作性に追従する大容量なマトリクスメモリが必要となる。これまでに提案されてきたメモリは、セル選択のドライバに、等価電圧源や等価電流源が用いられており、その動作速度は CR 時定数や L/R 時定数などの物理的な制限により、目標とする性能を実現できていない。そこで我々は、時定数によって動作速度が制限されない、高速動作が可能なインパルス駆動型メモリを提案している[2]。

このメモリは、磁性ジョセフソン接合による π 接合を用いた $0-\pi$ SQUID を基本構造とし、 $0-\pi$ SQUID 内を流れる周回電流の向きによって内部状態が定まる。内部状態を定めるには、ワード線とビット線と呼ばれる2つの信号線に同時に信号が入力される必要がある。これまでに、ビット線への信号としてインパルス信号を、ワード線への信号として矩形波信号を用いた同時選択による内部状態の書き換えを実証した[3]。今後、時定数による制約に囚われないメモリ実現のために、ワード線とビット線ともにインパルス信号のみを用いた動作実証が求められる。

本研究では、インパルス信号のみを用いたメモリの書き換え実証に向けて、インパルス信号のタイミング制御が可能なドライバ回路を作製しメモリの状態制御について評価した。

回路設計と評価 Fig. 1(a)に、本研究で設計したメモリセル、Fig.1(b)にパルス発信器を含むメモリ回路全体の顕微鏡写真を示す。Fig.1(a)に示すメモリセルは、 $0-\pi$ SQUID を基本構造とするストレージループと、内部状態の読み出しのための SQUID であるセンスループの二つのループ構造によって構成されている。ストレージループに接続されたビット線を伝播するインパルス信号の向きによって内部状態が決定し、Fig.1(a)における左側から信号が入力された際は“1”の状態となり、右側から信号が入力された際は“0”の状態となる。センスループに対して、入力 V_{read} が印加された時、ストレージループの内部状態が“1”であれば、 V_{out} が出力される。Fig.1(b)に示す回路において、入力 $V_{\text{in-left}}$ と $V_{\text{in-right}}$ にそれぞれ矩形波が入力されると、矩形波の立ち上がりに応じて SFQ パルスが生成され、スプリッタにより分岐された2つのインパルス信号が、ワード線とビット線に同時に印加される。この時、入力 $V_{\text{in-left}}$ は状態を“1”へと切り替える信号、入力 $V_{\text{in-right}}$ は状態を“0”へと切り替える信号に対応する。また、回路の3つの出力 $V_{\text{out-left}}$ 、 $V_{\text{out-right}}$ 、 $V_{\text{out-word}}$ は、 $V_{\text{in-left}}$ と $V_{\text{in-right}}$ の入力に応じて電圧状態が切り替わる。

Fig.2 に、今回の測定結果を示す。 V_{out} から、初期状態が“1”であることがわかり、 $V_{\text{in-right}}$ の入力に応じて、内部状態が“0”へと変化したことがわかる。その後、

$V_{\text{in-left}}$ が入力されると内部状態は再び“1”へと変化し、インパルス信号のみを用いた同時選択によって、メモリセルの書き換えが実証できたことを示している。

謝辞 本研究は、特別推進研究(18H05211)及び基盤研究(S)(JP19H05615)の支援を受けて実施したものである。本研究で利用した回路の一部は、産業技術総合研究所(AIST)のCRAVITYにおいて作製された。

参考文献

- [1] K. Ishida *et al.*, *Symposia on VLSI Technology and Circuits*, 1-2, Honolulu, HI, USA, June 2020.
- [2] Y. Takeshita *et al.*, *IEEE Trans. Appl. Supercond.*, Vol. 31, Issue 5, No. 1100906, Feb. 2021.
- [3] 藤澤 他, 第 82 回応用物理学会秋季学術講演会, 12p-N403-2, 2021 年 9 月.

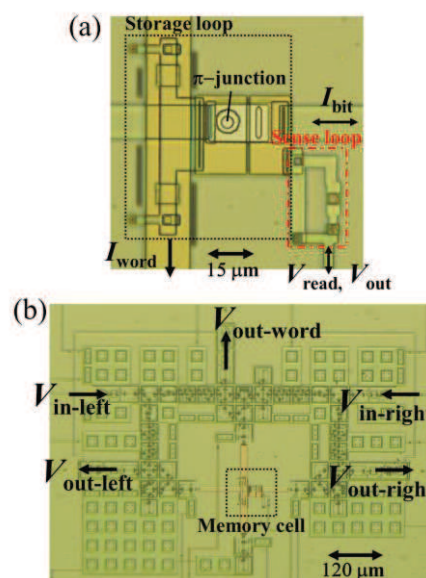


Fig.1 (a)Photograph of memory cell.
(b)1bit memory circuit.

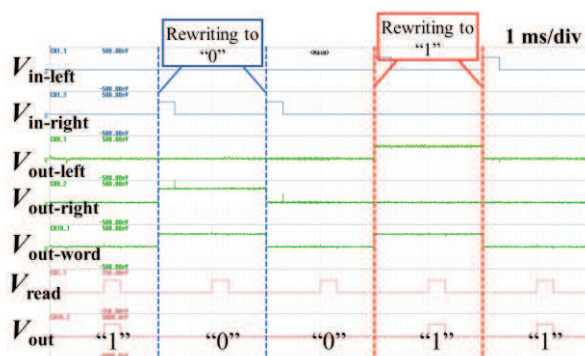


Fig.2 Measurement result.