

量子ビット制御に向けた 250 A/cm^2 低臨界電流密度プロセスによる 単一磁束量子回路の設計

Design of Single Flux Quantum Circuits with Critical Current Density Process Lowered to 250 A/cm^2 toward Quantum Bit Control

○田中雅光¹ 北川佳廣^{2,3} 佐藤哲朗^{2,3} 山本剛^{2,3} (1. 名大工, 2. 日本電気, 3. 産総研)

○Masamitsu Tanaka¹ Yoshihiro Kitagawa^{2,3} Tetsuro Satoh^{2,3} Tsuyoshi Yamamoto^{2,3} (1. Nagoya Univ., 2. NEC, 3. AIST)

E-mail: masami_t@ieee.org

本稿では、量子ビットの制御を目指し、臨界電流密度を 250 A/cm^2 に低減した作製プロセスを用いて設計した、低消費電力単一磁束量子 (SFQ) 回路について報告する。

近年、超伝導量子ビットの集積化が進展しているが、室温のマイクロ波エレクトロニクスと高周波同軸ケーブルで接続する方法では、希釈冷凍機内のスペースや冷却能力の限界から数百量子ビットを動作させるのが限界と考えられる。SFQ 回路は、数十 GHz での高周波動作を低消費電力で行う集積回路が構築でき、量子ビットの置かれる温度ステージでデジタル信号処理を行えば大幅な配線数の削減が期待できる。ただし、従来の 4K での動作を想定して設計された SFQ 回路よりも遙かに低電力な動作が求められる。本研究では回路を駆動する電流と電圧を下げることで、消費電力を 2 桁以上低減した SFQ 回路の構築を目的とし、集積回路作製プロセスの検討を行い、要素回路の設計を行った。

電流の低減は、SFQ 回路を構成するジョセフソン接合の臨界電流値 I_c を下げることで行える。具体的には接合面積または臨界電流密度 J_c を下げることになるが、前者は微細加工技術の進展なしには大幅な低減が難しいため、本研究では後者のアプローチをとった。 J_c を下げる場合、動作速度とのトレードオフとなる。本研究では、 I_c を従来の 1/50 から 1/10 となる、 $2 \sim 10\text{ }\mu\text{A}$ (設計上の最小値) に削減することを想定するとともに、10GHz での動作を可能にするという条件から、 J_c を 250 A/cm^2 に設定した。想定される接合特性に基づく数値解析から、期待される SFQ パルスの波高値と半値幅は $130\text{ }\mu\text{V}$, 10 ps である。駆動電圧は、期待される SFQ パルスの波高値に基づき、 $0.1 \sim 0.5\text{ mV}$ (従来の 1/25 から 1/5) の範囲で低減させることが可能と考えられる [1]。

デバイス構造は、平坦化を導入した Nb 4 層プロセス [2] をベースとした (Fig. 1)。グランド面 (GP) を含め、BAS, COU, CTL の 4 層が超伝導配線層として利用できる。抵抗層 (RES) は、量子アニーラ向けに開発されたプロセス [3] での知見に基づき Ti/Pd/Ti を用い、シート抵抗は $1.2\text{ }\Omega$ に設計した。ジョセフソン接合 (JJ) は、抵抗層とのコンタクト (RC) 上に形成する。

Fig. 2 に、本プロセスによる SFQ 回路の動作を確認するために試作したジョセフソン伝送路 (JTL) の顕微鏡写真を示す。今回は JTL を構成する接合の I_c は $21.6\text{ }\mu\text{A}$ とし、駆動電圧は 0.5 mV とした。インターフェイス回路 (DC/SFQ 及び SFQ/DC) の設計も行い、4.2K の液体ヘリウム温度でテストを行った。Fig. 3 に示すように、低速試験において正常動作を確認することができた。この JTL では、接合 1 つあたりの消費電力は 7.5 nW で従来の 1/50 である。今後は更なる低電流化と低電圧化を進める。

謝辞 本研究は JST ムーンショット型研究開発事業 (JPMJMS2067) の助成を受けたものである。本研究の一部は東京大学 VDEC 活動を通しケイデンス株式会社の協力で行われた。回路は産業技術総合研究所 CRAVITY において試作された。試作について助言と協力を頂いた産業技術総合研究所の日高睦夫氏と永沢秀一氏に深謝する。

[1] M. Tanaka et al. *Jpn. J. Appl. Phys.* **51** (2013) 053102. [2] M. Maezawa et al. *J. Phys. Soc. Jpn.* **88** (2019) 061012.

[3] S. Nagasawa et al. *IEICE Trans. Electron.* **E104-C** (2021) 435.

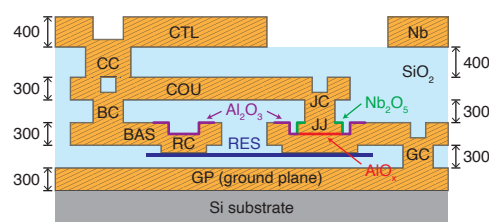


Fig. 1 Device structure (thicknesses in nm)

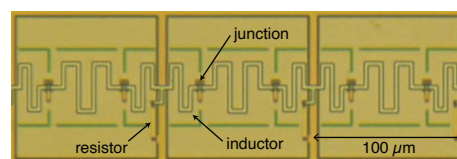


Fig. 2 Photomicrograph of JTL

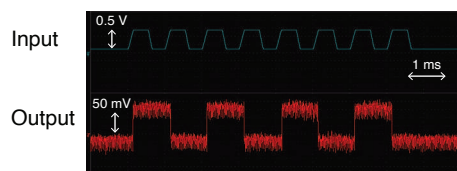


Fig. 3 Operation of JTL at 4.2 K. The input signal was applied to DC/SFQ after a 53 dB attenuation, and the output signal was obtained from SFQ/DC after an amplification of 60 dB.