

量子ビットとのモノリシック実装に向けた NbN ベース超低消費電力単一磁束量子回路の設計

Design of NbN-Based, Extremely Low-Power Single-Flux-Quantum Circuits toward Monolithic Integration with Quantum Bits

名大工 ◎中山彪之助, 上田伴春, 田中雅光, 山下太郎, 藤巻朗

Nagoya Univ., ◎T. Nakayama, T. Ueda, M. Tanaka, T. Yamashita, A. Fujimaki

E-mail: nakayama.tora@super.nuee.nagoya-u.ac.jp

背景 超伝導量子ビットの大規模な集積化に向け、配線数増大の問題がある。量子ビットと同じ温度ステージで単一磁束量子(SFQ)回路を用い、制御を行うことは有望である[1]。究極的には、量子ビットと制御回路等の古典回路を同一チップ上にモノリシック実装することが望ましい。超伝導転移温度が高く、雑音源となる酸化物を含まない窒化物ベースの量子ビットが実証されているが[2]、NbN は Nb と比べて力学インダクタンスが大きく、SFQ 回路の集積化の上でも有利である。一方で量子ビットが動作する希釈冷凍機の 20 mK ステージの冷却能力は 10 μ W 程度であるため、SFQ 回路に用いるジョセフソン接合の臨界電流値 I_c は数 μ A 程度まで低減することが求められ、接合の大きさの制限から低電流密度化が必要となり、動作速度の低下が懸念される。

本研究の目的は、量子ビットとのモノリシック化に向け、NbN ベースの SFQ 回路で SFQ パルスによる量子ビットの制御に必要な 4GHz 以上の動作速度の可能性を評価することである。そのために NbN ベースの低臨界電流密度の接合で構成したジョセフソン伝送路 (Josephson transmission line; JTL) を設計し、シミュレーションによる動作速度の評価を行った。

結果 Fig. 1 に設計した JTL のパラメータを示す。同一チップ上に量子ビットも作製することも考慮し、臨界電流密度は 50 A/cm² を想定した。過去の試作を参考に、各接合にはマッコンバ係数が 1 となるようシャント抵抗 R_s を $I_c R_s = 54 \mu$ V となるよう接続した。今回バイアス電圧 V_b はこれよりも十分高い 0.5 mV としている。消費電力は接合当たり 1.4 nW となる。

短い間隔で JTL に SFQ の電圧パルス列を入力すると、SFQ 間に働く斥力によりパルスの時間間隔が広がることが予測される。クロック周期内のパルスの有無で論理値を定義する SFQ 回路においては、パルスの到着タイミングの変動は最大動作周波数を決める重要な要因となる。20 mK での熱雑音を考慮したシミュレーションにおいて、JTL に周期 T でパルス列を入力し、1 番目と 2 番目に入力したパルスの時間間隔 Δ_{12} の変動を求めたのが Fig. 2 である。縦軸に示す Δ_{12}/T は理想的な条件では 1 となるが、7 GHz 付近から増加して

いる。これはパルス間の斥力によって 1 番目のパルスが押し出され、パルス間隔が増加していることを示している。この結果から、設計した JTL の最大動作周波数は 6 GHz 程度と見積もられる。更なる消費電力の削減には、 V_b を下げることが有効だが、動作周波数とのトレードオフの解析は今後の課題である。Fig. 1 に示した JTL についてはインターフェイス回路も設計を行い、動作確認のため試作を行っている。

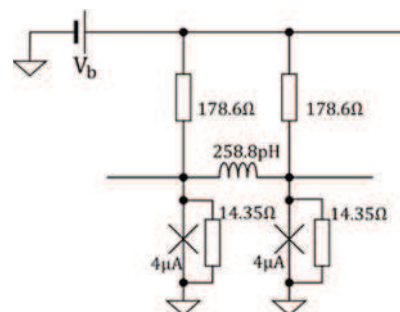


Fig. 1 The parameter of JTL

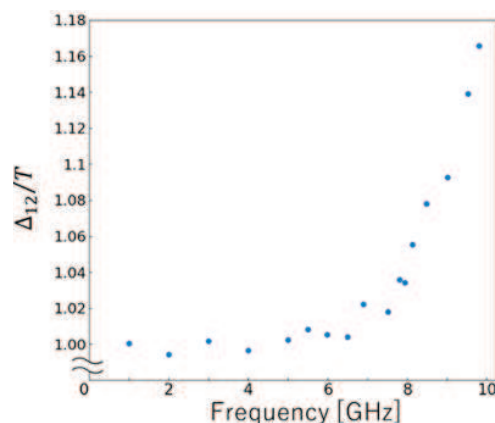


Fig. 2 Operation frequency dependance of Δ_{12}

謝辞 本研究は JSPS 科研費 (JP19H05615, JP18H05211, JP18H01498) の支援を受けて実施した。NbN 集積プロセスに関してご議論頂いた情報通信研究機構の寺井弘高氏と宮嶋茂之氏に感謝する。

参考文献

- [1] E. Leonard *et al.*, Phys. Rev. Applied. vol. 11, pp. 014009 (2019).
- [2] S. Kim *et al.*, Commun. Mater. vol. 2, 98 (2021).