

PLD 法で作製した FeSe/SrTiO₃ における T_c の厚み依存性

Thickness dependence of T_c of FeSe/SrTiO₃ grown by the PLD technique

東大院総合¹ ○(M2) 小林 友輝¹, (M1) 小川浩生¹, 鍋島 冬樹¹, 前田 京剛¹

Dept. of Basic Sci., Univ. of Tokyo¹

○Tomoki Kobayashi¹, Hiroki Ogawa¹, Fuyuki Nabeshima¹, Atsutaka Maeda¹

E-mail: kobayashi-tomoki375@g.ecc.u-tokyo.ac.jp

鉄カルコゲナイド超伝導体 FeSe はバルクで 9 K の超伝導転移温度 T_c を示す一方、この値は電子ドーピングや静水圧の印加などの手法で大幅に上昇することが知られている。特に、SrTiO₃ (STO) 基板上的の単層 FeSe [1]は $T_c=65$ K で超伝導ギャップが形成されることを報告されており、この温度は鉄系超伝導体の中で最も高い。この高い T_c は基板からの電子ドーピングや STO のフォノンとの電子格子相互作用によるものだと考えられており、界面効果で超伝導増強が起きている可能性が指摘されている。これまで FeSe/STO の界面超伝導は分子線エピタキシー法 (MBE 法) でしか実現されていなかった。前回、我々は表面処理を行った基板を用いてパルスレーザー堆積法 (PLD 法) で厚みの異なる 10-30 nm の FeSe 薄膜を作製し、歪の効果では説明できない高い T_c や、薄くなると T_c が最大 26 K まで上昇する振る舞いを確認し、界面超伝導を PLD 法で実現できたことを報告した [2]。今回はより薄い薄膜の作製に成功したのでその結果について報告する。表面処理をしてステップテラス構造が見られる STO 基板を用いて厚み 7-25 nm の FeSe 薄膜を作製した。Figure 1 は作製した試料の電気抵抗率の温度依存性である。厚み 10-25 nm の試料では薄くすると T_c が上昇し、10 nm の試料では $T_{c\text{onset}}=30$ K を示した。前回の報告から試料作製条件が改善され、膜厚 10-25 nm の試料の T_c は前回報告したものより高い。これらは MBE で報告されている値 [3]と同程度である。MBE 法で作製した試料 [3]では長時間(36 時間)アニールが必要であるのに対し、本研究ではアニールをせずに同程度の T_c が得られたことは特筆すべきである。より薄い膜厚 7 nm の試料では $T_{c\text{onset}}=28$ K と、10 nm の試料よりもわずかに低い。この結果は MBE の薄膜の結果と異なる。しかし今回の試料は保護層を付けていないため、大気暴露による劣化の可能性が考えられる。当日は PLD 法でアニールが不要だった要因や、薄い試料について保護層を試した結果について議論する。

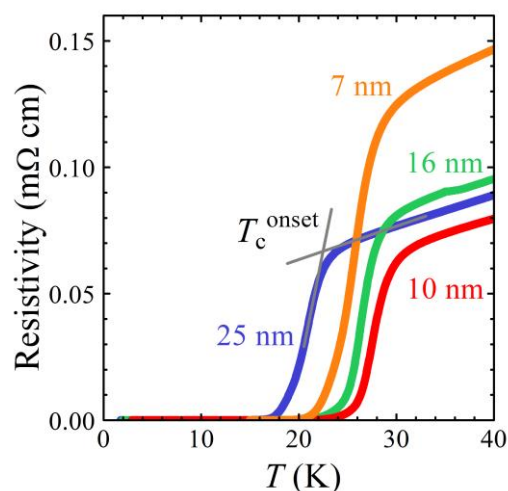


Fig. 1. Temperature dependence of resistivity of the grown films.

[1] Q. Y. Wang *et al.*, CRL **29**, 037402 (2012).

[2] 小林友輝他:第 82 回 応用物理学会, 12a-N401-6.

[3] Q. Wang *et al.*, 2D Mater. **2**, 044012 (2015).