

極低温 200 nm SOI-FET で発生するサブスレッシュヨルド領域における電流振動現象

Current Oscillation in the Subthreshold Region on Cryogenic 200 nm SOI-FET

金沢工大¹, 産総研², ○(M1) 杉井 辰吉¹, 森 貴之¹, 岡 博史², 森 貴洋², 井田 次郎¹

Kanazawa Inst. of Tech.¹, AIST², °T. Sugii, T. Mori, H. Oka, T. Mori, J. Ida

E-mail: b1713509@planet.kanazawa-it.ac.jp

はじめに：量子コンピュータのさらなる多量子ビット化に向け、そこで発生する配線ボトルネックを解消する目的で、Cryo-CMOS の研究開発が活性化している[1]. 我々も、商用プロセスによるSOI-FET を用いて極低温での特性評価に着手した. ここでは、ラピスセミコンダクタ社の 200 nm SOI-FET を使い、300 K から 2.5 K までの各温度域での特性評価を行い、極低温ではサブスレッシュヨルド領域において電流が振動する現象を確認したので報告する.

実測結果: Fig. 1 に 2.5 K における各ドレイン電圧 V_d でのドレイン電流 I_d -ゲート電圧 V_g 特性を, Fig. 2 に $V_d = 1$ mV における I_d - V_g の温度特性を示す. ゲート長 $L = 0.2$ μm , ゲート幅 $W = 1$ μm 構造の SOI-FET の測定結果である. Fig. 1 より 2.5 K ではサブスレッシュヨルド領域において電流が振動する現象を確認できた. この振動は V_d が低くなるほど顕著にあらわれる. 特に V_d が 1 mV だと振動の仕方が大きく変化する. Fig. 2 を確認すると 20 K 以下で電流の振動が顕著に現れることが確認できた. 過去報告されているデバイスより、大きいサイズでも振動が見られたと認識している. サブスレッシュヨルド領域の現象であり、極低温でのそもそもの伝導メカニズムもさらに要検討だが、電流振動の原因としては、ドーパントや界面準位等を介した共鳴トンネリングが考えられる.

謝辞：本講演で発表した研究は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです.

参考文献：[1] B. Patra, et al., IEEE J. Solid-State Circuits, Vol. 53, p. 309 (2018).

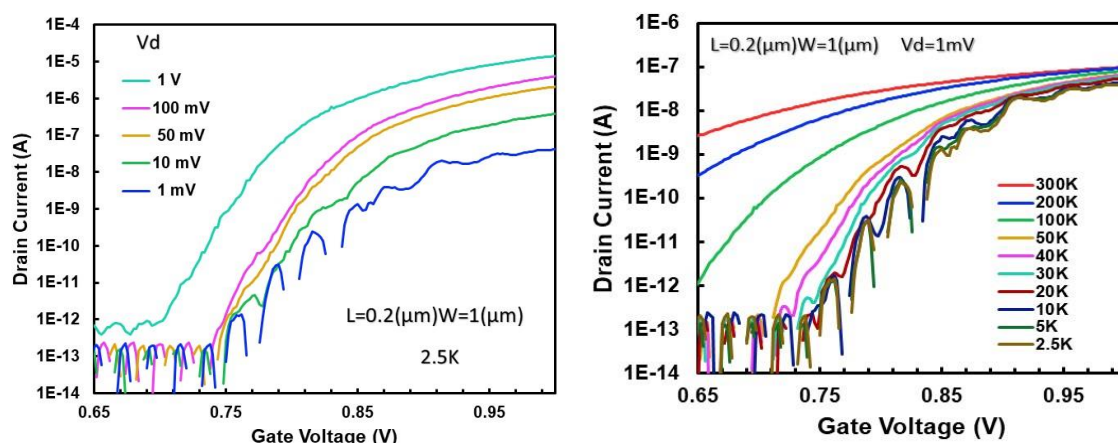


Fig. 1 V_d dependence of I_d - V_g characteristics (2.5K). Fig. 2 Temperature dependence of I_d - V_g characteristics ($V_d = 1$ mV).