

## 極低温動作 MOSFET における DIBL-like な $I_d$ - $V_g$ 特性の原因 Origins of DIBL-like $I_d$ - $V_g$ characteristics observed in cryogenic MOSFETs

○稲葉工, 浅井栄大, 福田浩一, 岡博史, 森貴洋

National Institute of Advanced Industrial Science and Technology (AIST),

○Takumi Inaba, Hidehiro Asai, Koichi Fukuda, Hiroshi Oka, Takahiro Mori

E-mail: takumi.inaba@aist.go.jp

量子ビット制御回路の実現に向け、極低温下での MOSFET 動作機構解明が求められている。特に短チャネル素子については DIBL(Drain Induced Barrier Lowering)の理解が重要であり、近年極低温下での DIBL 増加が複数報告されている[1]。我々の研究でもそれを示唆するような短チャネル MOSFET の  $I_d$ - $V_g$  特性が得られていたが、デバイスシミュレーションも併用した解析から、同特性には DIBL が増大したかのように見える他の要因が含まれていることがわかったので、本講演ではこれを報告する。

図 1(a)は 300 K および 3 K で測定されたチャネル長 300 nm のバルク PMOS[2]の  $I_d$ - $V_g$  特性である。DIBL の指標を定電流法での  $V_d=-50$  mV 時と -1 V 時との閾値電圧差で定義すると、300 K において 22 mV 程度であったが、3 K では 66 mV まで増加したように見える。また、図 1(b)に示すように、図 1(a)と同サイズの NMOS では極低温の閾値電圧差増加は確認されなかった。PMOS と NMOS の温度依存性を比較したところ、PMOS では特に 100 K 以下、かつ  $V_d=-50$  mV の場合に閾値電圧付近での電流値が減少し、DIBL を増加させるように見える現象が存在することが確認された。さらなる理解に向けてデバイスシミュレーションを実施した結果、図 1(c)に示すように実験結果と類似した極低温での電流減少が確認された。キャリア分布と電位分布を評価したところ、特に極低温の  $V_d=-50$  mV の場合にドレイン側エクステンション部分の空乏化が進みゲート端にポテンシャルバリアを形成する様子が見られた。以上より、この現象は DIBL ではなくエクステンションの特性変化に起因する低  $V_d$  動作時の特性変化だと考えられる。

この研究は国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものである。

[1] T. Mizutani, *et al.*, 2021 Silicon Nanoelectronics Workshop (SNW), 2021, pp. 1-2

[2] デバイス試作は産総研 TIA 推進センター SCR で行なった。

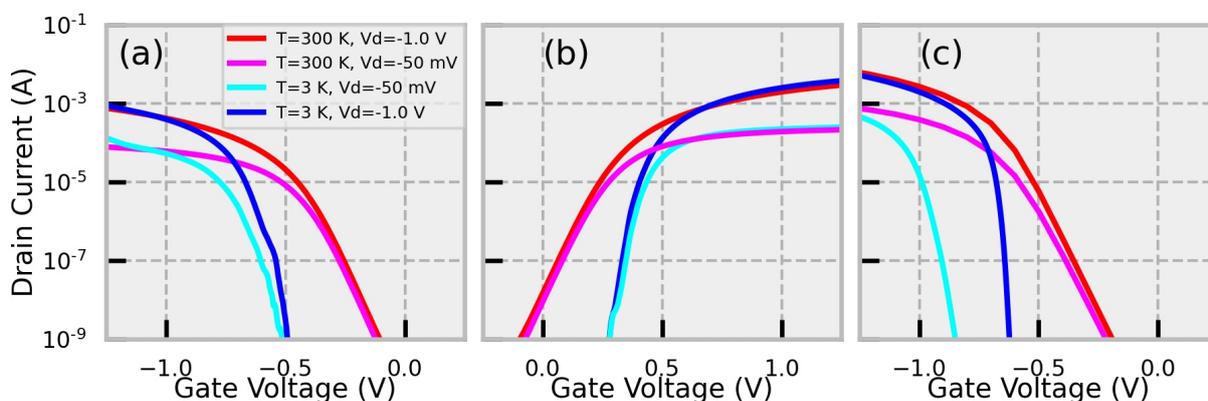


Fig. 1 Experimental  $I_d$ - $V_g$  characteristics of (a) PMOS, (b) NMOS, and (c) simulated results for PMOS.