

極低温（4K）における MOS 容量評価手法の開発

Development of MOS Capacitance Evaluation Method at Cryogenic Temperature (4K)

東大工, °(B)宮尾 知寿, 田中 貴久, 内田 建

Dept of Materials Engineering, The Univ. of Tokyo, °(B)Tomohisa Miyao, Takahisa Tanaka, Ken Uchida

E-mail: miyao@ssn.t.u-tokyo.ac.jp

【研究背景】量子コンピュータ実現のために、量子ビットの読み出し・制御エレクトロニクスへの活用を目指して低温で CMOS 回路を動作させる取り組みが進んでいる[1]. 量子ビット制御用集積回路 (LSI) の基本構成要素である MOS トランジスタの特性を理解するためには、MOS 容量の特性を評価・理解することが不可欠である. しかし、4K 近傍の低温では、キャリア・フリーズアウトによりウェルの抵抗が著しく高くなるなどの問題があり、MOS キャパシタの容量-電圧 (C - V) 特性は、これまでにほとんど報告されていない.

そこで本研究では、低抵抗率 ($0.01\Omega\text{cm}$ 程度) 基板、30nm 酸化膜、Al ゲートの MOS 容量を 4K から室温までの広い温度範囲で評価し、寄生成分の及ぼす影響とその影響を除外するための手法を開発したので報告する.

【実験方法】 n 型不純物として Sb を濃度 $2\times 10^{18}\text{ cm}^{-3}$ ドープした厚さ $625\text{ }\mu\text{m}$ の基板に、熱酸化膜を約 30 nm 形成した. さらに、面積が $600\text{ }\mu\text{m}\times 700\text{ }\mu\text{m}$ で膜厚 100 nm の Al をゲート電極として酸化膜上に形成し、裏面には Cr 3 nm , Au 50 nm の電極を電子線蒸着法で堆積した後、 450°C で 30 分間フォーミングガスアニールを行った. LCR メータを用いて、 4.2 K における C - V 特性を $200\sim 200\text{ kHz}$ の範囲で測定した. 交流信号電圧レベル 20 mV のもと、直流のゲート電圧 (V_g) を -15 V から 15 V まで 1 V 間隔で測定した.

【結果と考察】Fig. 1 に示したように、 4 K で計測した MOS 容量は、低周波の蓄積領域 ($V_g=5\text{ V}$, 15 V) では後述する寄生抵抗の影響を考慮すると室温での容量値と一致するが、高周波領域で大きく減少することが確認された. ゲート容量の減少はより高い温度 (41 K) かつより低い不純物濃度でも過去に報告[2]されており、キャリア・フリーズアウトによる寄生抵抗の増大と考えられている. しかし、基板の寄生抵抗 (G_F) だけを考慮する等価回路モデル[3]では、 10^4 Hz を超えるような高周波での容量減少を説明することができない. そこで、Fig. 2(a)に示すように寄生容量 (C_F) を含めた等価回路モデルを仮定し、各 V_g における C_F , G_F , C_S を求めた. 特に、低周波数 (200 Hz) から中周波数 ($10^3\sim 10^4\text{ Hz}$) では欠陥成分 (C_{it} , R_{it}) は無視できるものとして、はじめに C_F が無視できる低周波数で G_F を決定した. さらに C_F が寄与する中周波領域で C_S と C_F を決定した. その結果、以下のことが明らかになった. (1) 蓄積領域における MOS 容量は室温における値と概ね一致した. (2) C_F , G_F はゲート電圧によらず直線の関係が得られた (Fig. 3). これは C_F , G_F を Fig. 2(b) のような等価回路モデルに変換することでバルク中におけるトラップの影響からも予想され、実験データへの線形回帰を行うことで、単一の時定数 τ_{bt} (0.8 ms) と G_b が求められた. (3) G_b は Van der Pauw 法による基板の抵抗率と一致する. バルクの容量成分は、極低温においてドナー不純物へのキャリアの捕獲によるものと考えられ、基板不純物濃度が高いほどより顕著になると考えられる. 従って、キャリア・フリーズアウト効果が発生するような温度域において MOS 容量特性から界面準位を評価するためには、ドナー不純物へのキャリア捕獲によるバルク起因のトラップ成分と、酸化膜界面近傍において発生するトラップ成分とを慎重に切り分ける必要があると考えられる.

謝辞：本研究は、JST【ムーンショット型研究開発事業】グラント番号【JPMJMS2067】の支援を受けたものです.

[1] B. Patra et al., in *IEEE Journal of Solid-State Circuits*, **53** (1), 309 (2018). [2] Peter V. Gray and Dale M. Brown, *Appl. Phys. Lett.*, **13**, 247 (1968). [3] E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*, Wiley, New York, (1982).

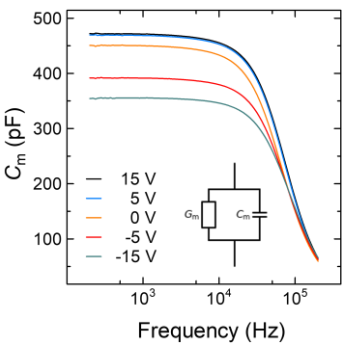


Fig. 1 (a) The frequency dependence of measured MOS capacitance at 4.2K.

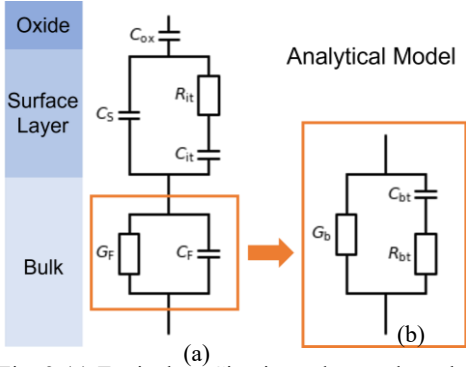


Fig. 2 (a) Equivalent Circuit used to analyze the experimental data. (b) The equivalent circuit of the bulk substrate.

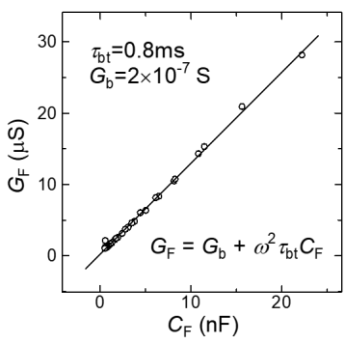


Fig. 3 The relationship between C_F , G_F for various gate voltages and frequencies at 4.2K.