

貼り付け有機単結晶 FET の水誘起動作不安定性に対する ソース・ドレイン電極厚さの効果

Water-Induced Instabilities in Laminated Organic Single-Crystal FETs Controlled by Source/Drain Electrode Thickness

大阪府立大院工¹, JST さきがけ² ◯(M1) 濱比嘉 勇人¹, 野内 亮^{1,2}

Osaka Prefecture Univ.¹, JST-PRESTO², ◯(M1) Yuto Hamahiga¹, Ryo Nouchi^{1,2}

E-mail: y-hamahiga-12G@pe.osakafu-u.ac.jp

背景: 水分子が絶縁体-半導体界面に侵入すると、電界効果トランジスタ(FET)の電気的特性に影響を与える。我々のグループでは、以前から良く知られるゲートバイアスストレスによる電流減少効果に加えて、ソース・ドレイン電極の実効的仕事関数変調に伴う電流増大効果の存在を見出している[1]。実際の FET 動作においては、これら 2 つの効果が複合的に作用し、FET の電気的特性においてヒステリシスを発生させる。これまでに、ボトムゲート・ボトムコンタクト型(BGBC)の有機単結晶 FET において、単結晶厚を変化させるとヒステリシス特性が変わることを見出している[2]。本講演では、ソース・ドレイン電極厚により電極近傍に生じる隙間を変化させて水分子の侵入しやすさを制御することで、FET 特性におけるヒステリシスが変調できることを報告する。

実験: 図 1 に素子構造を示す。洗浄済みの SiO₂/p⁺⁺-Si 基板上に、電極接着層としてまず Cr を 1 nm 蒸着し、その上に Au を 15, 30, 60 nm の厚みで形成した。チャンネル長は 50 μm である。形成した電極上に、物理気相輸送法により合成したルブレ単結晶を貼り付けた。測定は、恒温恒湿器中で温度 27°C、相対湿度 20 ~ 80%の条件で $0 \leq V_G \leq -100$ V、 $-10 \leq V_D \leq 100$ V の範囲で行った。

結果: 出力特性の往復掃引測定を行った際の、Au 電極の厚みと、往路と復路の電流比の関係を図 2 に示す。データは $V_D = -10$ V、相対湿度 50%のときのものである。このとき、電極が薄い素子ほど、低ゲート電圧下で電流比が小さい、すなわち復路の電流値が減少するヒステリシスが見られている。この結果は、電極厚みが小さいほど、電極の段差による単結晶貼り付けの不完全性が軽減し、電極近傍の隙間 (図 1 参照) が小さくなるため、ソース・ドレイン電極の仕事関数変調に起因するヒステリシスの影響が小さくなったためと理解できる。これはまた、電極厚さにより BGBC 型貼付け単結晶 FET のヒステリシスが制御できる可能性を示している。当日は、ヒステリシスの湿度依存性などについても報告する。

[1] Nouchi, Adv. Mater. Interfaces **5**, 1801261 (2018). [2] Nouchi, Ishihara, Ikeda, AIP Adv. **10**, 75312 (2020).

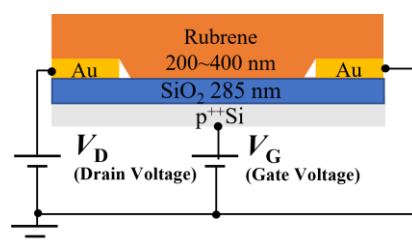


Fig. 1. Device structure.

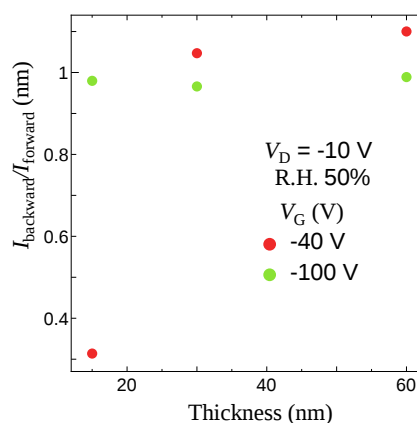


Fig. 2. Electrode-thickness dependence of the backward-to-forward current ratio.