# 縦型 GaN トレンチ MOSFET の正バイアスストレスによるしきい値変動

## Threshold Voltage Shift under Positive Bias Stress in Vertical GaN Trench MOSFETs

名大 [1]，豊田合成 [2]
○(B) 稲垣 光希 [1]，岡 徹 [1,2]，田中 成明 [2]，長谷川 一也 [2]，泉 貴富 [2]，須田 淳 [1]
Nagoya Univ. [1], Toyoda Gosei [2]
°Mitsuki Inagaki[1], Tohru Oka[1,2], Nariaki Tanaka[2], Kazuya Hasegawa[2], Takatomi Izumi[2], Jun Suda[1]
E-mail: inagaki.mitsuki.b3@s.mail.nagoya-u.ac.jp

縦型 GaN トレンチ MOSFET は，高耐圧かつ低損失のパワースイッチングデバイスとして期待されているが，その実用化に向けてデバイスの特性変動の制御が重要な課題となる．特性変動の 1 つとしてゲートバイアス印加によるしきい値電圧($V_{TH}$)の変動がある．しかし，縦型 GaN トレンチ MOSFET における $V_{TH}$ 変動に関する詳細な報告はほとんどない．そこで本研究では縦型 GaN トレンチ MOSFET の正バイアスストレスによる $V_{TH}$ 変動を評価した．

本研究では ALD で成膜した $SiO_2$ 80 nm をゲート絶縁膜とした縦型 GaN トレンチ MOSFET を試料として用いた．素子構造は文献 1 に報告されたものと同じであり，アクティブエリアは 100 μm 角である．この試料に対して，$V_{DS}$ = +0.5 V のもと，正バイアスストレス $V_{GS}$ = +15 V を印加し，最初の 3 回は 10 秒ごと，その後は 30 秒ごとに $V_{GS}$ を掃引して伝達特性を測定し，累積ストレス時間に対する $V_{TH}$ 変動を評価した．伝達特性取得のための $V_{GS}$ の掃引範囲は，掃引による影響を最小限に抑えるために+2 V～+15 V の範囲とした．

図 1 に，室温で正バイアスストレスを印加したときの，0 秒，60 秒，750 秒，3000 秒，6000 秒経過時点での $I_D$-$V_{GS}$ 特性の(a)リニアプロットおよび(b)片対数プロットを示す．時間とともに $V_{TH}$ が大きく正方向シフトしている．また，ストレス時間の増加とともにサブスレッショルドスイングが 405 mV/dec から 553 mV/dec に増加していることが分かる．

$I_D$ が 10 μA となる $V_{GS}$ を $V_{TH}$ と考えた時の，累積ストレス時間に対する $V_{TH}$ の変化を図 2 に青線で示す．$V_{TH}$ の正方向シフトは，MOS 界面に電子がトラップされていることが原因と考えられる．75 ℃で同様の測定を行った結果を図 2 に赤線で示す．75 ℃の場合も室温の場合と同様に正方向シフトが見られるが，2000 秒程度で飽和し，4000 秒を超えたところからわずかではあるが負方向にシフトし始めた．

正バイアスストレスによる $V_{TH}$ 変動は時間経過で回復するが，初期状態には完全には戻らなかった．例えば室温では初期状態の $V_{TH}$ は 1.2 V，6000 秒のストレス印加後が 4.5 V に対して，数日後に測定すると $V_{TH}$ は 1.4 V 程度となっていた．

[1] T. Oka, *et al.*, Appl. Phys. Express **8**, 054101 (2015).

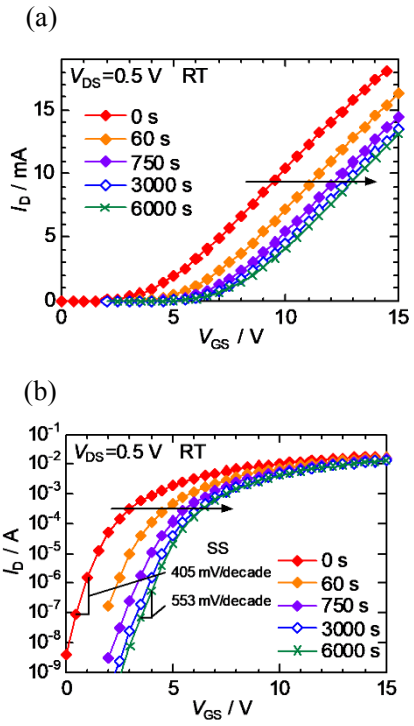


Fig. 1. $I_D$-$V_{GS}$ characteristics before and after stress plotted on (a) linear and (b) log current scales.

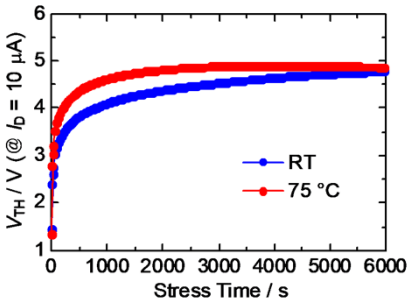


Fig. 2. Threshold voltage shift as a function of stress time at room temperature (blue line) and 75 ℃ (red line).

© 2022年 応用物理学会