

酸化・還元反応制御に基づく高品質 SiO₂/GaN MOS 構造の形成

Formation of High-quality SiO₂/GaN MOS Structures by Controlling Oxidation and Reduction Processes

阪大院工¹, [○](M1)見掛 文一郎¹, 溝端 秀聡¹, 野崎 幹人¹,
小林 拓真¹, 志村 考功¹, 渡部 平司¹

Osaka Univ.¹, [○]Bunichiro Mikake¹, Hidetoshi Mizobata¹, Mikito Nozaki¹,

Takuma Kobayashi¹, Takayoshi Shimura¹, and Heiji Watanabe¹

E-mail: mikake@ade.prec.eng.osaka-u.ac.jp

【はじめに】低損失・高信頼性 GaN MOSFET の実現には、高品質な MOS 構造が不可欠である。我々は、SiO₂/GaN 構造に対して酸素熱処理(O₂-PDA)を行い、安定な GaO_x 界面層を形成することで、電気特性が改善することを報告した[1]。O₂-PDA に加え、水素熱処理(FGA)を行うことで、界面特性はより改善する。しかし、過剰な FGA では、GaO_x 層の還元により正の固定電荷が生成し、フラットバンド電圧(V_{FB})が負方向へシフトしてしまう。O₂-PDA と FGA の温度条件を適切に設計すれば、V_{FB}シフトを抑制し、ヒステリシスも小さい良好な特性を実現できる[2]。しかし、信頼性を加味した場合の最適条件は依然明らかでない。そこで本研究では、良好な界面特性および信頼性の両立を目指し、O₂-PDA と FGA の最適条件を調査したので報告する。

【実験方法・結果】GaN 自立基板上の n-GaN エピ層([Si]: 2×10¹⁶ cm⁻³)を 50% HF で洗浄後、プラズマ化学気相堆積(PECVD)により SiO₂ 膜を約 80 nm 成膜した。ここで、成膜初期に窒素添加条件で SiON 層を約 5 nm 成膜することで、後の O₂-PDA 時における SiO₂ 中への Ga 拡散を抑制した[3]。続いて 800°C、30 分の O₂-PDA を行った後、200–500°C、30 分の FGA 処理(N₂3%希釈)を行った。最後に Ni ゲート電極および Al 裏面電極を蒸着し、MOS キャパシタを作製した。Fig. 1(a)に堆積直後の試料(as-depo.)、O₂-PDA のみを行った試料(O₂800)、および追加で FGA 処理を行った試料(O₂800-H₂200、O₂800-H₂500)の双方向 C-V 特性を示す。まず、as-depo.では、界面の電子トラップに起因する顕著な C-V 特性の正方向シフトおよびヒステリシスが観測された。その後の O₂-PDA および FGA 処理によりヒステリシスは大幅に改善したが、比較的高温(500°C)の FGA では、GaO_x 層の還元により C-V 特性の負方向シフトが生じた(O₂800-H₂500)。FGA を低温(200°C)に抑えることで、電圧シフト・ヒステリシスともに小さく、理論特性(破線)に近い良好な特性が得られた(O₂800-H₂200)。続いて試料の信頼性を評価すべく、酸化膜電界 4 MV/cm に対応する定電圧ストレスを印加し、C-V 特性の変動を観察した。ストレス印加時間に対して V_{FB}をプロットした結果を Fig. 1(b)に示す。まず、as-depo.ではストレス印加により、V_{FB}が理想(破線)に比べ正方向へ大きくシフトした。このことから、堆積直後では酸化膜中の電子トラップが多いことがわかる。O₂-PDA および FGA 処理を施すことで、ストレス印加に伴うシフトが大幅に抑制された。しかし FGA を高温(500°C)で行った場合は、既述の通り、初期の V_{FB}位置が負にシフトする問題がある。よって、O₂-PDA で GaO_x 界面層を成長した後、GaO_x 層の還元が生じないような低温条件で FGA を施すことが、界面トラップ、固定電荷、および酸化膜中トラップの低減に効果的であると言える。以上のように本研究では、O₂-PDA と FGA 処理の温度条件を注意深く設計することで、良好な界面特性および信頼性を両立する GaN MOS 構造の実現に成功した。

本研究は、文部科学省「革新的パワーエレクトロニクス創出基盤技術研究開発」事業(JPJ009777)及び科研費(19H00767)の助成を受けた。

[1] T. Yamada *et al.*, Appl. Phys. Express **11**, 015701 (2018). [2] H. Mizobata *et al.*, Appl. Phys. Express **13**, 081001 (2020). [3] T. Yamada *et al.*, Jpn. J. Appl. Phys. **58**, SCCD06 (2019).

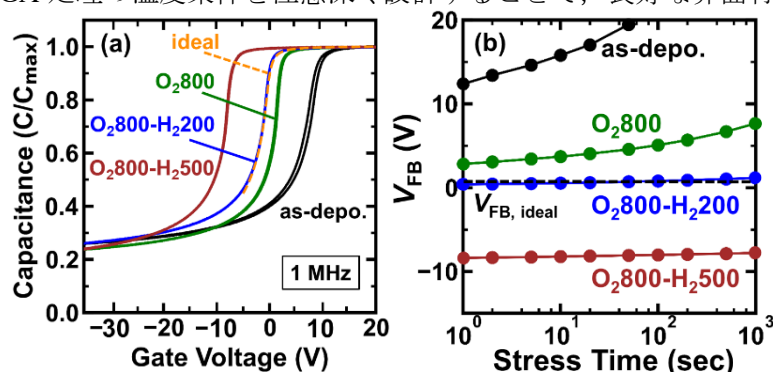


Fig. 1: (a) Bidirectional C-V curves of fabricated SiO₂/GaN MOS capacitors. (b) V_{FB} for SiO₂/GaN MOS capacitors plotted as a function of stress time (bias stress condition: 4 MV/cm).