

# DLTS による SiO<sub>2</sub>/GaN 界面および SiO<sub>2</sub> 膜中トラップ準位の評価 Characterization for trap states of SiO<sub>2</sub>/GaN interfaces and SiO<sub>2</sub> films by DLTS

東レリサーチセンター<sup>1</sup>, 阪大院工<sup>2</sup> ○小川 慎吾<sup>1</sup>, 溝端 秀聡<sup>2</sup>, 小林 拓真<sup>2</sup>,  
志村 考功<sup>2</sup>, 渡部 平司<sup>2</sup>

Toray Research Center<sup>1</sup>, Osaka Univ.<sup>2</sup> ○Shingo Ogawa<sup>1</sup>, Hidetoshi Mizobata<sup>2</sup>, Takuma Kobayashi<sup>2</sup>,  
Takayoshi Shimura<sup>2</sup>, and Heiji Watanabe<sup>2</sup>

E-mail: shingo.ogawa.s9@trc.toray

【はじめに】従来の Si パワーデバイスよりも高出力かつ高温動作が可能な GaN をチャンネルとした MOSFET に期待が寄せられている。高性能 GaN MOSFET 実現のために、絶縁膜/GaN 界面準位密度を下げるだけでなく、キャリアトラップ挙動を理解することも必要であるため、GaN MOS 界面近傍のトラップ準位評価手法の高度化が求められている。ここで、DLTS は半導体中のトラップ準位を高感度に評価する手法として知られているが、GaN MOS キャパシタへの適用事例は十分ではない。そこで今回、DLTS を用いて SiO<sub>2</sub>/GaN 界面近傍のトラップ準位を詳細に調べたので報告する。

【実験】Si 添加 n-GaN エピ層 (Si 濃度:  $2 \times 10^{16} \text{ cm}^{-3}$ ) を有する自立 GaN 基板に対して、PECVD により SiO<sub>2</sub> 膜を約 25 nm 成膜した。この際、酸素プラズマによる GaN の過度な酸化を抑制するため、SiO<sub>2</sub> 膜成膜初期約 5 nm は窒素添加雰囲気中で成膜した[1]。その後、大気圧 O<sub>2</sub> 雰囲気中で 800°C アニール処理を施した。ゲート電極として Ni 膜、裏面電極に Al 膜をそれぞれ成膜し MOS キャパシタを作成した。作製した試料に対して、C-V, I-V 特性評価および DLTS 測定を実施した。DLTS は容量一定モード (Constant capacitance: CC) で測定し、パルス時間 (T<sub>p</sub>) を変えることで、SiO<sub>2</sub>/GaN 界面と SiO<sub>2</sub> 膜側のキャリアトラップ挙動を切り分けることを試みた。

【結果】図 1 にアニール前 (as-depo.) およびアニール後 (O<sub>2</sub>@800°C) の試料の DLTS スペクトルを示した。as-depo. では 130 K 付近に E1 と帰属した電子トラップ準位が特徴的に認められた。パルス時間 (T<sub>p</sub>) を長くすると E1 強度は増大したため、E1 は SiO<sub>2</sub>/GaN 界面だけでなく SiO<sub>2</sub> 膜側にも分布を持つトラップ準位の情報を含む可能性がある。また、アニール後は DLTS スペクトル強度が顕著に低減したため、トラップ準位が低減したと考えられる。なお、アニール後は T<sub>p</sub> 依存性は認められなかった。T<sub>p</sub> を短くした測定条件 (T<sub>p</sub>: 20 μs) で、SiO<sub>2</sub>/GaN 界面の情報を強調した DLTS スペクトルを解析して D<sub>it</sub> 分布を調べた結果を図 2 に示した。アニールにより D<sub>it</sub> が顕著に低減していることに加え、アニール後の  $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  付近の低濃度トラップ準位を高感度に検出できることも確認された。

【謝辞】本研究の一部は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。【参考文献】[1] T. Yamada *et al.*, Appl. Phys. Lett. **110**, 261603 (2017).

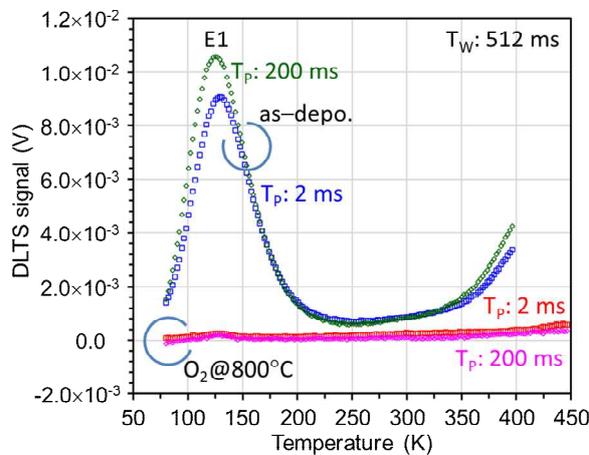


Fig.1 CC-DLTS spectra of SiO<sub>2</sub>/GaN MOS capacitors for “as-depo.” and “O<sub>2</sub>@800°C”. Pulse time (T<sub>p</sub>) and time window (T<sub>w</sub>) are shown in this figure.

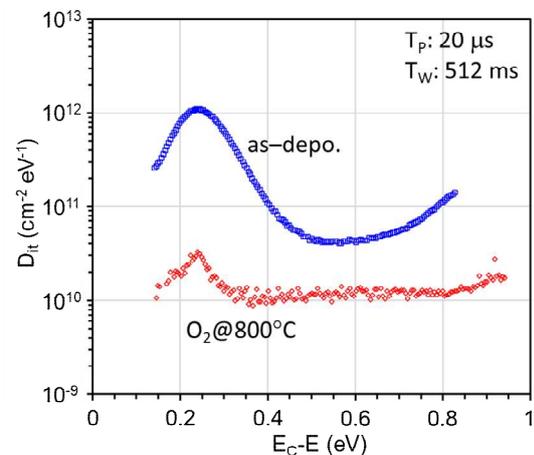


Fig.2 Energy distribution of D<sub>it</sub> for “as-depo.” and “O<sub>2</sub>@800°C” estimated by DLTS spectra. The capture cross section of each trap energy was assumed to be  $1 \times 10^{-15} \text{ cm}^2$  for the D<sub>it</sub> estimation.