SiC MOSFET への負バイアス下の高い酸化膜電界印加による V_{th}の挙動 Behavior of V_{th} under Negative High Gate Oxide Electric Field Stress on SiC MOSFETs [•]野口宗隆、小山皓洋、岩松俊明、渡邊寬、三浦成久

三菱電機(株) 先端技術総合研究所

°Munetaka Noguchi, Akihiro Koyama, Toshiaki Iwamatsu, Hiroshi Watanabe, and Naruhisa Miura Advanced Technology R&D Center, Mitsubishi Electric Corporation, E-mail: Noguchi.Munetaka@dh.MitsubishiElectric.co.jp

【はじめに】MOSFET におけるゲート電圧印加時のしきい値電圧(V_{tb})の安定性は重要な課題であり、SiC MOSFET においても長きにわたり研究されている。一般に、高温にて負バイアス下で高い酸化膜電界(E_{ox})を印 加する加速条件ではゲート酸化膜への電荷捕獲に起因して V_{tb} が変化することが知られ、negative bias temperature instability (NBTI)と呼ばれる。SiC MOSFET でも、負バイアス下の低 E_{ox} 印加時は SiO₂中への正孔捕 獲により初期 V_{tb} からの変化 (ΔV_{tb})が生じ、 ΔV_{tb} はストレス印加につれて単調に減少する[1]。一方、Si MOSFET では SiO₂中への正孔注入により酸化膜中[2]や SiO₂/Si 界面[3]に電子捕獲準位が生成することが判明している。 SiC MOSFET においても負バイアス下の高 E_{ox} 印加時にはゲート酸化膜への正孔注入が顕在化するため同様 の電子捕獲準位が生成すると予想されるが、負 E_{ox} 印加時に電子捕獲が生じるかについて十分な検討はなされ ていない。本研究では、SiC MOSFET に対して負バイアス下の高 E_{ox} を印加した際の NBTI 特性を評価し、電 子及び正孔捕獲の挙動を評価した。さらに、 ΔV_{tb} とゲート通過電荷量(Q_{stress})の関係を検討したので報告する。

【研究内容】プレーナ型 Si 面 4H-SiC MOSFET を作製し、175℃ にて NBTI 特性を評価した。ゲート酸化膜は 熱酸化にて形成し、希釈 NO 雰囲気中で窒化処理を行った後、

ゲート電極として n⁺-poly-Si を成膜した。NBTI 特性は measure-stress-measure (MSM) 法で評価し、 Q_{stress} はゲートリー ク電流より求めた。SiC MOSFET に-8.3 MV/cm の E_{ox} を印加し た結果を図 1 に示す。 ΔV_{th} は一度減少した後に増加に転じるこ とが判明した。これは酸化膜中及び SiO₂/SiC 界面において、正 孔捕獲が飽和した後に、電子捕獲が生じることを示す。広範囲 の E_{ox} に対して $\Delta V_{\text{th}} \ge Q_{\text{stress}}$ の関係を検討した結果を図 2 に示す。 E_{ox} が-5.1 から-8.3MV/cm の範囲で、 $\Delta V_{\text{th}} \ge Q_{\text{stress}}$ の関係はほ ぼ一意に定まり、 Q_{stress} の増加により ΔV_{th} の主要因が正孔捕獲か ら電子捕獲へと連続的に変化することが判明した。

【結論】負バイアス下の高 E_{ox} 印加時に Q_{stress} が一定量を超えると、 ΔV_{th} の主要因が正孔捕獲から電子捕獲へと変化することを見出した。

【参考文献】

- [1] K. Puschkarsky et al., Trans. Electron Devices, 66, 11 (2019).
- [2] S. Ogawa et al., Appl. Phys. Lett., 56, 1329 (1990).
- [3] S. K. Lai et al., J. Appl. Phys., 54, 2540 (1983).



図1ΔVthと累積ストレス時間(Tstress)の関係



図 2 ΔV_{th} と Q_{stress} の関係