酸化抑制プロセスを用いて作製した SiC MOSFET 特性の表面水素処理時間依存性

Impacts of hydrogen treatment time on characteristics of SiC MOSFETs fabricated with oxidation-suppressed process

京大工，°村木 瞬星 [1]，三上 杏太 [1]，立木 馨大 [1]，木本 恒暢 [1]
Kyoto Univ. [1], °Shunsei Muraki[1], Kyota Mikami[1], Keita Tachiki[1], Tsunenobu Kimoto[1]
E-mail: muraki@semicon.kuee.kyoto-u.ac.jp

1. 背景・目的: SiC MOSFET のさらなる性能向上には、MOS 界面に存在する高密度界面準位の低減が必須である。近年、我々は、酸化を抑制した新たなゲート酸化膜形成により界面準位密度(D_{it})が著しく低減され、チャネル移動度を大幅に向上できることを報告した[1,2]。この新プロセスにおいては、酸化の抑制に加え、SiO_2 堆積前の表面水素処理による SiC 表面欠陥の除去が D_{it} 低減の鍵となっている。しかし、既報告において水素処理は 15 分と限られた時間でのみ行われ[1,2]、水素処理時間がデバイス特性に与える影響は未知である。そこで本研究では、新プロセスにおける水素処理の時間を変化させた(8–30 分)MOSFET を作製し、その電気的特性を評価した。

2. デバイスの作製: 4H-SiC(0001) p 型基板の p 型エピ層上に、横型 n チャネル MOSFET を作製した。ボディ層は Al^+イオン注入を行い、実効アクセプタ密度を 2×10^{16} cm^{-3} とした。RCA 洗浄後、水素雰囲気で 1350°C の熱処理を行い、プラズマ CVD(400°C)で SiO_2 を 46–50 nm 堆積した。その後、NO/N_2 雰囲気で 1250°C、70 分の窒化を行った。水素処理は 8、15、30 分の 3 通りで行った。比較のため、水素処理を行っていない試料(0 分)および熱酸化により SiO_2 膜を形成した試料も作製した。また、4H-SiC(0001) n 型基板の n エピ層(実効ドナー密度: 5×10^{15} cm^{-3})上に MOSFET と同一のゲート酸化膜形成条件で MOS キャパシタを作製した。

3. 結果と考察: 作製した MOSFET のゲート特性を図 1 に示す。また、ゲート特性より抽出した電界効果移動度(μ_{FE})を図 2 に示す。水素処理時間の増加に伴いドレイン電流および μ_{FE} は増加し、水素処理を 30 分行った MOSFET における μ_{FE} の最大値は、水素処理を行っていない MOSFET の約 2.1 倍(61 $cm^2V^{-1}s^{-1}$)まで向上している。これは、熱酸化と窒化処理で作製した MOSFET における μ_{FE} の最大値(28 $cm^2V^{-1}s^{-1}$)に比べても約 2.2 倍の向上である。また、水素処理時間の増加に伴い、しきい値電圧は負方向にシフトしている。これは、水素処理に伴い MOS 界面の正の固定電荷が増加、もしくは伝導帯端近傍の界面準位が低減し、ゲート電圧の正方向シフトが減少したと解釈できる。

MOSFET の電界効果移動度と、同一のゲート酸化膜形成条件で作製した MOS キャパシタの *C–V* 特性から High-Low 法で評価した D_{it} の相関を図 3 に示す。D_{it} と移動度の間には概ね負の相関が見られる。したがって、水素処理時間の増大に伴う MOSFET の移動度向上は D_{it} の低減に起因していると考えられる。以上の結果から、提案している酸化抑制プロセスにおいて SiC 表面に対する水素処理が果たす役割は大きく、高い移動度と高いしきい値電圧を満足する条件の探索と、水素処理による SiC 表面および MOS 界面の物理的・化学的構造の変化を解明することが重要な課題と言える。

[1] K. Tachiki et al., *Appl. Phys. Express* **13**, 121002 (2020). [2] K. Tachiki et al., *Appl. Phys. Express* **14**, 031001 (2021).

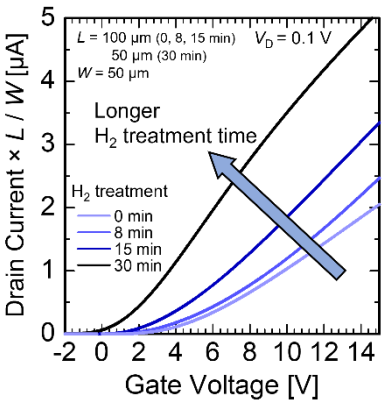

Fig 1. Gate characteristics of the fabricated SiC MOSFETs.

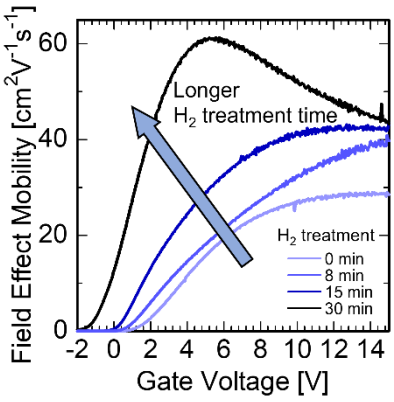

Fig 2. Field effect mobility as a function of gate voltage for the fabricated SiC MOSFETs.

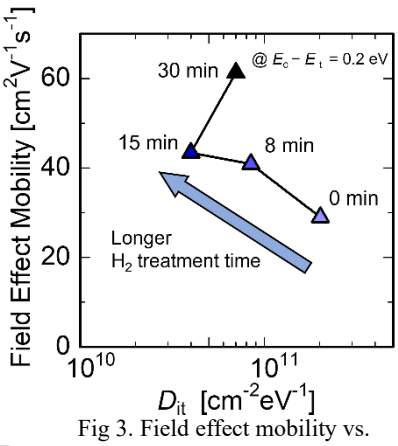

Fig 3. Field effect mobility vs. interface state density (E_c − 0.2 eV).