

二次元材料デバイス集積化技術

Integration Technologies for 2D Semiconductor Devices

若林 整, Hitoshi Wakabayashi

東京工業大学、226-8502 横浜市緑区長津田町 4259-G2-22

Tokyo Institute of Technology, 4259-G2-22, Nagatsuta-cho, Midori-ku, Yokohama, 226-8502, Japan

wakabayashi.h.ab[at]m.titech.ac.jp

集積回路の高性能化には半導体チャネルを 5 nm よりも薄くする必要があり、Si や Ge 等では電子・正孔移動度の低下が深刻である [1–6]。また、3D 高集積化には、配線やパッケージ材料上に 400°C 以下でトランジスタを形成することが必要である。そこで、一層 1 nm 厚以下の 2D 層状半導体である遷移金属ダイカルコゲナイド (Transition metal di-chalcogenide: TMDC) 膜について [7, 8]、特に当方では、Physical-vapor deposition (PVD) 法について、特に結晶欠陥や粒界、層間インターカレート、下地と上地膜との積層状態、ドーパント等の挙動を明らかにして改善することにより、トランジスタ特性の向上を目指している [9–27]。その高性能化には二次元材料デバイス集積化技術が必要であり、現時点での技術課題を図 1 に列挙する。この図より、二次元材料デバイスの集積化には多くの技術課題について検討が必要であることが分かり、今後の研究開発が期待される。

	Now	Needed within near future
TMDC deposition	Poly-crystalline; transfer process is used. /MBE on SiO ₂ /CVD on Sapphire or SiO ₂ w/ Na @~900°C /Area-selective CVD /MOCVD on SiO ₂ at ~ 400°C /PEALD on SiO ₂ at ~ 450°C /Sputter on SiO ₂ at 400°C w/o transfer	Single crystal at low temperature w/o impurity is appreciated.
Isolation	Just only mesa	Peeling w/ wet process is needed to be suppressed.
Hk	influences for V _{th} , so much.	Low Dit and fixed charges w/ h-BN?
Gate	Still bottom or top gate	Multi-gates
S/D	Not self-aligned yet	Self-aligned to gate
Contact	Still contact 1st	Contact last
Mobility	Still much below than Si	Larger than Si and Ge
Physics	Still trying and demonstration	Transport & reliability physics
Others	Even Intel still uses lift-off process ...	Advanced processes

図 1: 二次元材料デバイスの集積化に向けた技術課題 (筆者私見)。

謝辞

本研究の一部はJSPS 科研費 20H05880 及び JST, CREST (JPMJCR16F4)/COI (JPMJCE1309) の助成を受けた。

参考文献

[1] Gordon E. Moore, *Electronics*, **38**, No. 8, April 19, p. 114, 1965.
[2] Robert H. Dennard, *et al.*, *IEEE J. Solid-State Circuits*, **SC-9**, p. 256, 1974.
[3] H. Wakabayashi, *et al.*, *IEEE T-ED*, Vol. 53, Issue 9, pp. 1961-1970, 2006.
[4] H. Wakabayashi, *IEEE/IWJT*, pp. 98-103, 2013.

[5] <https://irds.ieee.org>
[6] Geoffrey Yeap, *et al.*, *IEEE/IEDM*, 36.7, 2019.
[7] B. Radisavljevic, *et al.*, *Nature Nanotech*, **6**, pp. 147-150, 2011.
[8] Sujay B. Desai, *et al.*, *Science*, Vol. 354, Issue 6308, pp. 99-102, 2016.
[9] Takumi Ohashi, *et al.*, *JJAP*, 54, 04DN08, 2015.
[10] J. Shimizu, *et al.*, *JSAP/JJAP*, 56, 4S, 04CP06, 2017.
[11] K.Matsuura, *et al.*, *J. Electrical Materials*, Vol. 47, No. 7, p. 3497, (2018).
[12] Masaya Hamada, *et al.*, *JSAP/JJAP*, 59, 10, 2020, DOI:10.35848/1347-4065/abb324.
[13] H. Tanigawa, *et al.*, *JSAP/JJAP*, 59, SMMC01, 2020, DOI:10.35848/1347-4065/ab7fea.
[14] Kentaro Matsuura, *et al.*, *JSAP/JJAP*, 59, 080906, 2020, DOI:10.35848/1347-4065/aba9a3.
[15] M. Hamada, *et al.*, *IEEE/J-EDS*, 7, 1258, 2019.
[16] Masaya Hamada, *et al.*, *JSAP/SSDM 2020*, H-9-02, and accepted in JSAP/JJAP.
[17] Takuya Hamada, *et al.*, *IEEE/EDTM 2021*, WTHPE-018, to be presented.
[18] Shinya Imai, *et al.*, *JJAP*, 60, SBBH10, 2021, DOI:10.35848/1347-4065/abdcae.
[19] Satoshi Igarashi, *et al.*, *JJAP*, 60, SBBH04, 2021, DOI:10.35848/1347-4065/abd535.
[20] Takuya Hamada, *et al.*, *IEEE/J-EDS*, 2021, DOI: 10.1109/JEDS.2021.3050801.
[21] T. Shirokura, *et al.*, *APL*, Vol. 115, p. 192404, 2019, DOI: 10.1063/1.5118913.
[22] Takuya Hamada, *et al.*, *IEEE/J-EDS*, 2021, DOI:10.1109/JEDS.2021.3050801.
[23] Masaya Hamada, *et al.*, *JJAP*, 60, SBBH05, 2021, DOI:10.35848/1347-4065/abd6d7.
[24] Takuya Hamada, *et al.*, *IEEE/J-EDS*, 2021, DOI:10.1109/JEDS.2021.3108882.
[25] Ryo Ono, *et al.*, *JSAP/JJAP*, accepted in 2021.
[26] Takuya Hamada, *et al.*, *JSAP/JJAP*, accepted in 2021.
[27] Takamasa Kawanago, *et al.*, *JSAP/JJAP*, accepted in 2021.