設計目線からみた、デバイスモデルの展望

Perspective of Device Modeling in Circuit Design Aspects

広大 HiSIM 研究センター 飯塚 貴弘

HiSIM Research Center, Hiroshima Univ.

Takahiro Iizuka

E-mail: iizuka@hiroshima-u.ac.jp

HiSIM(ハイシム)センターは、集積回路設計の礎となるコンパクトモデルの研究開発、特に HiSIM モデルの世界標準化やその改良をおこなってきた。今回、二次元材料から成る素子(主にトランジスタ)が集積回路における設計部品たりえるために望まれる姿を、社会実装を既に実現したシリコンの分野の一専門家の視点で述べる。

素子コンパクトモデルは回路シミュレータに静的もしくは動的に結合するコードとして、回路シミュレータと一体となって、回路動作を模擬する計算(回路シミュレーション)に供せられる。コンパクトモデルは、素子端子(ポート)を出入りする電荷量を端子電圧・時間の関数として記述する体系を提供する。かつては FORTRAN や C 言語が用いられ、母体である回路シミュレータの API (application programming interface)に則ったコーディングを余儀なくされて、中でも非線形方程式の線形化に関わる Jacobian 計算部分の記述はコード作成の難所であったが、2000 年代には Verilog-a による記述が試みられるに至り、もはや露わには微分に係るコードを記載する必要がなくなったことやコンパイラーの整備に伴い、新規モデルの開発や実装への参入障壁が下がっている。適切な連携構築がかなえば、実用レベルのコンパクトモデル創出は可能であろう。

世界のあらゆる EDA ツール、中でも回路シミュレータ上で同じ動作が可能になることで一気に全地球的な分業が進展した。製造企業は製造素子のモデルパラメータセットを設計企業に提示し、設計企業がそれを基に回路設計し、チップ内での配置情報を製造業者に提出する。階層化した集積回路の設計において、アーキテクチャや機能レベルといった概念的な、いわば仮想世界から、製造可能な物理的な実体へと転回せしめる肝の技術要素は素子コンパクトモデルとそれと対で用いられるモデルパラメータセットである。それらは多種類の素子に亘って集大成された PDK(process-design kit)の形態をとるのが常態だが、初期は主要素子に限定した小規模なもので始まることであろう。

二次元材料に於いてコンパクトモデルは物理的洞察を主眼にした比較的簡便な記述に徹した揺籃期にあると目されるが、回路シミュレーションに堪えるだけの体系的な記述が備わったものも試行されるであろう。Virtual source モデル[1]はシリコンの主流素子の標準モデルに採用されるには至っていないが、有用性が実証されつつある。ソース側の電位障壁を超えてキャリアがもたらされる、大多数の種類のトランジスタに適用可能と目されている。また、今日主流となった surface potential モデルは MoS_2 素子について物質固有パラメータへの適切な配慮ができれば、シリコンで用いられているコンパクトモデルの手法が有用だとする見解[2]も出てきており、期待が持てる。

[1]Khakifirooz et al. 10.1109/TED.2009.2024022　[2]Z. Ahmed et al. doi: 10.1109/LED.2019.2952382