

二硫化モリブデンを用いた p 型トランジスタの作製と高性能化

Fabrication and high performance of p-type transistors of molybdenum disulfide

日本大生産工, 清水耕作, 鈴木直登, 荒井大地, 半澤元基

Nihon University, K.Shimizu, N.Suzuki, D.Arai, M.Hanzawa

1 まえがき

MoS₂ 膜に代表される遷移金属ダイカルコゲナイドは、2次元材料として、高移動度が期待されている。一方では金属電極との間にファンデルワールスギャップと呼ばれる界面が形成されることでデバイス性能の低下が懸念される。¹⁾そこで本研究では、バルク型 P 型 MoS₂ TFT の作製と金属電極と MoS₂ TFT の界面が与えるデバイス特性への影響を、デバイス作製とシミュレーターの両面から検討する。シミュレーターの素子構造は、先行研究のグラフェン薄膜を想定した同 TFT シミュレーターを用いた解析を参考に作製した。²⁾

2 実験方法および測定方法

TFT の素子作製および評価は、電極材料にはクロム(Cr) 20nm を抵抗加熱真空蒸着法を用いて蒸着させた後、異なる電極材料を薄く蒸着し、伝達特性測定を行う。この素子に対しアニール処理を行い、素子に与える影響を評価した。

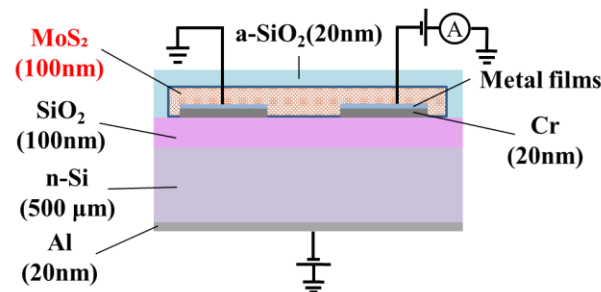


Fig.1 TFT Structure

3 実験結果および検討

Fig.2 に、100℃、200℃、300℃とアニール温度を変化させた場合の移動度 μ と SS 値を示す。図より、200℃ 1 時間アニールすることにより最も良いトランジスタ特性を得ることができ、51.42 cm²/Vs の移動度が確認できた。また、300℃のアニールで素子特性の劣化が見られる。絶縁膜のピンホール欠陥から酸素が侵入し、酸性物質が形成されることで、Cu 電極を侵食したためと考えている。当日は詳細を検討した結果を報告する。

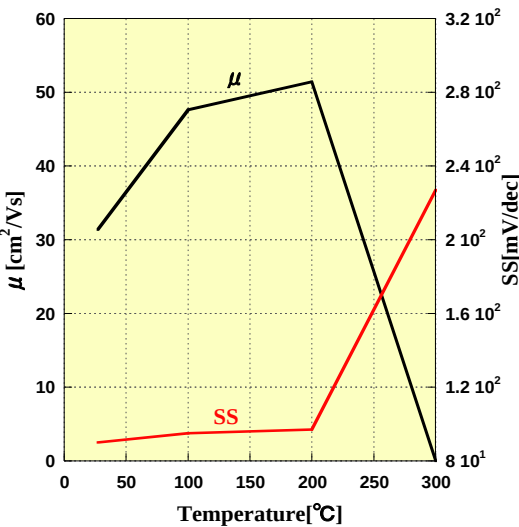


Fig.2 Mobility and sub-threshold swing after annealed as a function.

「参考文献」

1) Adrien Allain, Jiahao Kang, Kaustav and Andras Kis : Nature Mater. 14, 1195-1205 (2015).
2) Terirama Thingujam, Khomdram Jolson, Manoj Kumar and Subir Kumar Sarkar : ADBU Journal of Engineering Technology. Volume: 6 (June 2017).