

縦型半導体スピン素子を目指した Co_2FeSi 上の高品質 Ge 成長と 室温磁気抵抗比の増大

Growth of high quality Ge layers on Co_2FeSi and enhancement in room-temperature
magnetoresistance ratios for Ge-based vertical spin devices

阪大基礎工¹, JST さきがけ², 阪大基礎工 CSRN³, 都市大総研⁴

○山田 敦也¹, 山田 道洋^{2,3}, 山田 晋也^{3,1}, 澤野 憲太郎⁴, 浜屋 宏平^{3,1}

Osaka Univ.¹, JST-PRESTO², CSRN, Osaka Univ.³, Tokyo City Univ.⁴

°Atsuya Yamada¹, Michihiro Yamada^{2,3}, Shinya Yamada^{3,1}, Kentarou Sawano⁴, Kohei Hamaya^{3,1}

E-mail: u203926f@ecs.osaka-u.ac.jp

IoT 技術や AI 技術の殆どが半導体技術によって支えられているが、その電力消費量は年々増すばかりであり、低消費電力化技術の開発は喫緊の課題と言える。我々は、次世代の半導体チャネル材料として期待されるゲルマニウム(Ge)とスピントロニクス技術を縦型デバイス構造として融合した縦型 Ge スピン MOSFET[1]の研究を行ってきた[Fig. 1(a)左]。これは横型デバイス構造と同様にトランジスタ機能と不揮発メモリ機能を統合することが出来き[Fig. 1(a)右][2]、さらに、縦型構造を活かした高集積化や Ge の発光特性を活かした光配線技術などとの融合をも可能とする次世代技術として期待される[1]。このデバイス構造を実現するために、我々は $\text{CoFe}/\text{Ge}/\text{Fe}_3\text{Si}$ からなる縦型半導体スピン素子を作製し[1]、室温スピン信号の観測に至っていたが[3,4]、メモリ性能の重要な指標である磁気抵抗(MR)比が室温で約 0.3%に留まっており、更なる MR 比の向上が不可欠であるという現状にある。これまで、ハーフメタル特性を有する強磁性ホイスラー合金 Co_2FeSi 上への Ge 薄膜の結晶成長を試みてきたが、原子間相互拡散の影響が大きく、縦型 Ge スピン素子構造を作製することは極めて難しい局面であった[5]。

そこで本研究では、 $\text{Ge}/\text{Co}_2\text{FeSi}$ 界面での原子間相互拡散の抑制と Ge 中間層の高品質化を実現するため、Si 基板上への $\text{Fe}_3\text{Si}/\text{Ge}$ 緩衝層の挿入と、固相成長(SPE)と分子線エピタキシー(MBE)成長の2段階工程による Ge 中間層の成長条件を詳細に検討した。その結果、比較的高品質な全エピタキシャル CoFe/Ge 中間層/ $\text{Co}_2\text{FeSi}/\text{Fe}_3\text{Si}/\text{Ge}$ 緩衝層/Si(111)基板構造の作製に成功した[Fig. 1(b)]。Fig. 1(c)に下部 Co_2FeSi 電極を持つ縦型 Ge スピン素子[Fig. 1(c) inset]の室温 MR 曲線の変化と、従来の下部 Fe_3Si 電極のデータを比較した。 Co_2FeSi を用いた素子では、従来素子に比べ MR 比が一桁近く増大し、Ge 中間層の高品質化を通して 1%を超える室温 MR 比を初めて実現した[6]。この値は、半導体スピン素子における局所二端子室温磁気抵抗比の世界最高値であり、今後の研究を加速する成果と言える。

本研究は、JSPS 科研費(17H06120, 19H05616, 21H05000)・JST さきがけ(JPMJPR20BA)・博士課程教育リーディングプログラム「インタラクティブ物質科学・カデットプログラム」の助成を受けた。

[1] K. Hamaya *et al.*, J. Phys. D: Appl. Phys. **51**, 393001 (2018). [2] S. Sugahara and M. Tanaka, Appl. Phys. Lett. **84**, 2307 (2004). [3] M. Kawano *et al.*, Phys. Rev. Mater. **1**, 034604 (2017). [4] A. Yamada *et al.*, J. Appl. Phys. **129**, 013901 (2021). [5] M. Kawano *et al.*, J. Appl. Phys. **119**, 045302 (2016). [6] A. Yamada *et al.*, Appl. Phys. Lett. **119**, 192404 (2021).

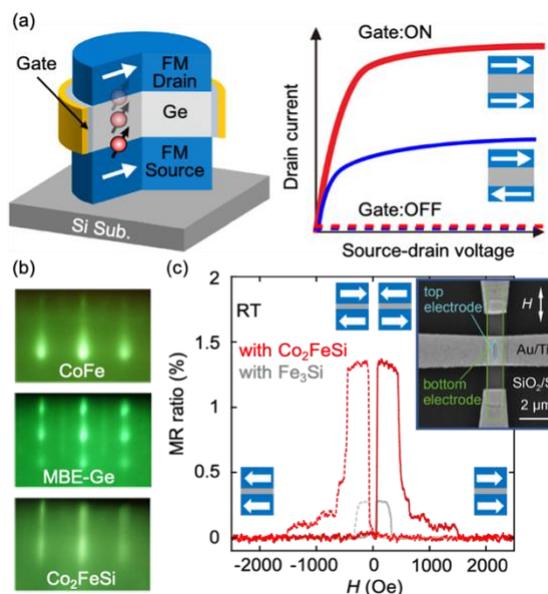


Fig. 1 (a) Schematics of a device structure and output characteristics of the vertical spin-MOSFET. (b) RHEED patterns of the surface on CoFe, MBE-Ge, and Co_2FeSi layers during the growth. (c) Red and gray curves show MR curves at room temperature for vertically stacked Ge devices with Co_2FeSi and Fe_3Si , respectively. The inset is an SEM image of a fabricated vertical spin-valve device.