

界面酸化層形成抑制による GaN/SiO₂ ホールトラップ低減検討

Examination of reduction of GaN/SiO₂ hole traps by suppressing the formation of interfacial oxide layer

富士電機 °近藤 剣, 上野 勝典, 田中 亮, 高島 信也, 江戸 雅晴

Fuji Electric, °Tsurugi Kondo, Katsunori Ueno, Ryo Tanaka, Shinya Takashima, Masaharu Edo

E-mail: kondou-tsurugi@fujielectric.com

【背景】 GaN/SiO₂ 界面のホールトラップは GaN MOSFET におけるゲート信頼性に悪影響を及ぼす可能性が高く、改善が必要である。ホールトラップの形成原因を調べるために、第一原理計算による GaN/SiO₂ 界面モデルを検証したところ、Ga-O 結合が起源であることを示唆する結果を得ており[1]、他研究機関からもこの仮説を支持する報告がされ始めている[2]。また、超高圧活性化熱処理した Mg 濃度 $3E18\text{cm}^{-3}$ の注入層上でホールトラップの少ない MOS 界面を形成した報告もされている[3]。そこで本報告では界面 GaOx 層を形成しにくい SiO₂ 成膜手法および高濃度 p 層を用いることで、ホールトラップ低減に対する界面 GaOx 層の影響を調べることを目的とした。

【実験方法】 SiO₂ 成膜手法による界面 GaOx 層形成について調べるため、GaN 自立基板上 [Si]= $5E16\text{cm}^{-3}$ ドープした n-GaN にスパッタ法とリモートプラズマ CVD 法でそれぞれ SiO₂ を成膜し、XPS 分析で界面 GaOx 層厚さを評価した。界面 GaOx 厚さを把握した上で、GaN 自立基板上 [Mg]= $3E18\text{cm}^{-3}$ ドープした MOCVD 成長 p-GaN 上にそれぞれの SiO₂ 膜を形成して MOS キャパシタを作製し、測定周波数 100kHz、RT で CV 測定を実施した。

【結果】 XPS 分析からスパッタ成膜は界面酸化層形成を抑制することが確認された (PCVD 0.4nm⇒スパッタ 0.2nm)。Fig.1 に CV 測定結果を示す。どちらの水準も SiO₂ 膜の最大容量に達したが、PCVD 膜の水準では蓄積後に CV カーブがシフトする現象

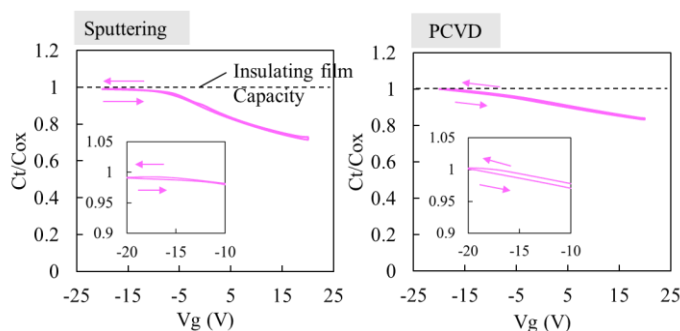


Fig.1. CV characteristics of GaN ([Mg] = $3E18\text{cm}^{-3}$)/SiO₂ MOS capacitors with different SiO₂ film formation methods

が観察されたのに対して、スパッタ膜の水準ではシフトがなかった。これはスパッタ膜の MOS 界面でホールトラップが少ないことを

示唆しており、酸化層の形成抑制によってホールトラップを減少したと解釈している。当日はエピ濃度の依存性についても議論を行う。

【謝辞】 本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。

[1] 辻他、第 82 回応用物理学会秋季学術講演会 23a-P10-11 [2] 富田他、第 68 回応用物理学会春季学術講演会 16p-Z07-7 [3] 溝端他、第 82 回応用物理学会秋季学術講演会 12p-N305-5