

ALD により成膜した $\text{SiO}_2/\text{Al}_2\text{O}_3$ 2 層絶縁膜を用いた ノーマリーオフ型 AlGaIn/GaN MIS-HEMT の電気特性 II Electrical properties of normally-off type AlGaIn/GaN MIS-HEMTs with $\text{SiO}_2/\text{Al}_2\text{O}_3$ double insulators fabricated by ALD II

名工大 °戸田 圭太郎, 久保 俊晴, 江川 孝志

Nagoya Inst. of Tech. °Keitaro Toda, Toshiharu Kubo, Takashi Egawa

E-mail: k.toda.905@stn.nitech.ac.jp

1. まえがき

金属/絶縁体/半導体(MIS)型の GaN 系高電子移動度トランジスタ(HEMT)はゲートリーク電流(I_g)を低減し、高いゲート電圧を印加することができるため、次世代のパワーデバイス用途として精力的に研究されている。絶縁体としては、 Al_2O_3 や SiO_2 のようにバンドギャップが大きい酸化物が適しており^[1]、特に Al_2O_3 と SiO_2 の 2 層絶縁膜を用いることで I/S の界面特性が良く、 I_g が抑制されたデバイスを作製することができる。前回の報告ではドライエッチングによりゲートリセス構造を作製し、ALD で作製した $\text{SiO}_2/\text{Al}_2\text{O}_3$ を 2 層絶縁膜として用い、閾値電圧(V_{th})が 3.1 V であり、 I_g の値がおおよそ 1×10^{-6} mA/mm のノーマリーオフ型 MIS-HEMT の特性を報告した^[2]。本研究ではゲート部だけではなく、 SiO_2 絶縁膜全面に O_2 プラズマ処理を施したゲートリセス構造を有する MIS-HEMT を作製し、その温度特性を評価した。

2. 実験方法

ALD- $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$ MIS-HEMT 構造はこれまでの報告と同様にして Si 上 AlGaIn/GaN 構造から作製した^[3]。ソースおよびドレイン電極形成後、ゲート部分に 15 分間ドライエッチング処理を行い、リセス構造の形成を行った。エッチングレートは 2.6 nm/min であり、エッチングしたリセス深さは 38 nm であった。その後 ALD を用いて Al_2O_3 と SiO_2 を成膜した。 SiO_2 成膜後に SiO_2 絶縁膜全面に O_2 プラズマ処理を行った後ゲートおよびパッド電極を形成し、MIS-HEMT を作製した。試料作製後、温度特性の評価を行った。測定条件は室温を含め、50°C から 200°C まで 50°C 間隔で測定を行った。

3. 結果

リセス構造を有する MIS-HEMT の伝達特性を Fig.1 に示す。外挿して求めた V_{th} は 3.1 V であった。最大ドレイン電流 (I_{dmax}) に関しては、リセス構造の無いデバイスでは 461 m

A/mm であったがゲートリセスを形成することで 191 mA/mm と減少した。また、 I_g に関しては、どちらにおいても 10^{-6} mA/mm 程度であったことから良好な SiO_2 層が形成されたと考えられる。次に MIS-HEMT の $I_g - V_g$ 特性の温度特性を Fig. 2 に示す。 $V_g = -10$ V における I_g は、温度上昇に伴い検出限界値から 3.4×10^{-7} mA/mm であり 2 桁増大した。また $V_g = 5$ V における I_g は、室温での測定で 1.7×10^{-6} mA/mm、200°C で 3.1×10^{-5} mA/mm でありゲート部分のみの O_2 プラズマ処理と比較して 1 桁の増大に抑制された。 SiO_2 絶縁膜全面に O_2 プラズマ処理を施していない試料では、 I_g に関しては室温から 200°C に温度を上昇させると正、負バイアス側共に 4 桁以上の増大が見られたことから^[4]、 SiO_2 絶縁膜全面に O_2 プラズマ処理を施すことにより、絶縁膜中の欠陥が低減され、測定温度の上昇に伴うリーク電流の増大が抑制されることが示唆された。

参考文献

- [1] Z. Yatabe, et al., J. Phys. D 49 (2016) 393001.
- [2] 戸田圭太郎, 他, 第 82 回応用物理学会, 23a-P10-13 (2021).
- [3] T. Kubo, et al., Semicond. Sci. Technol. 32 (2017) 065012.
- [4] 横井駿一, 他, 信学技報, vol. 120, no. 254, ED2020-8, pp. 29-32, Nov.2020

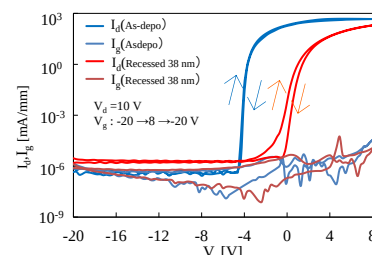


Fig.1 Transfer characteristics.

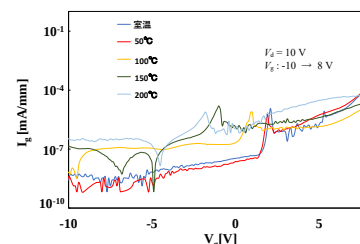


Fig. 2 Temperature characteristics.