

## 大面積グラフェンデバイスの作製

### Fabrication of large area Graphene device

株式会社エアメムブレ<sup>1</sup>, <sup>○</sup>川田 和則<sup>1</sup>, 中村 孝子<sup>1</sup>, 川木俊輔<sup>1</sup>, 古賀 義紀<sup>1</sup>, 長谷川 雅考<sup>1</sup>

AirMembrane Corporation<sup>1</sup>, <sup>○</sup>Kazunori Kawata<sup>1</sup>, Syunsuke Kawaki<sup>1</sup>, Takako Nakamura<sup>1</sup>,

Yoshinori Koga<sup>1</sup>, Masataka Hasegawa<sup>1</sup>

E-mail: kawata-kazunori@airmembrane.co.jp, <http://www.airmembrane.co.jp>,

【はじめに】グラフェンの高移動度を利用したデバイスの開発が活発化してきている。工業的利用のためには大面積基板のデバイスが必要である。本研究ではフォトリソグラフィーによるグラフェンパターンの形成と金蒸着による電極形成を行いグラフェン FET を作製した。作製した FET デバイスについて IV 測定により動作を確認した。CVD 合成単層グラフェンの 4inch 大面積デバイスの作製に成功した。

【実験】4inch 酸化膜シリコン基板上に PMMA を利用して CVD 合成単層グラフェンを転写した。フォトリソグラフィーにより転写した基板のデバイス加工を行った。まず、マスクレス露光装置でグラフェンパターン形成を行った。続いて、真空蒸着装置で金の蒸着を行い電極形成することでバックゲート型グラフェン FET を得た。作製した FET デバイスについて、大気下、ドレイン電圧 100mV として、ゲート-ソース間に -10~60V 掃引した時の IV 特性を van der pauw 法で測定した。

【結果および考察】図 1 に作製したデバイスの外観を示した。約 10 mm サイズのチップが 61 個含まれている。図 2 には電気測定(デバイスサイズ  $\square 200 \mu\text{m}$ )を行った結果を示した。ゲート電圧によるドレイン電流の変調が確認できた。また、作製した FET は 40V 付近にディラックポイントを持ち両極性を示した。水分などの吸着物によりディラックポイントは大きい、今後デバイス作製の条件等を最適化して、特性バラツキの少ない高移動度デバイスの開発に取り組む予定である。

【結論】本研究では、CVD 合成単層グラフェンの 4inch 大面積デバイスの作製に成功した。

【謝辞】本研究は、防衛装備庁が実施する安全保障技術研究推進制度 JPJ004596 の支援を受けたものである。

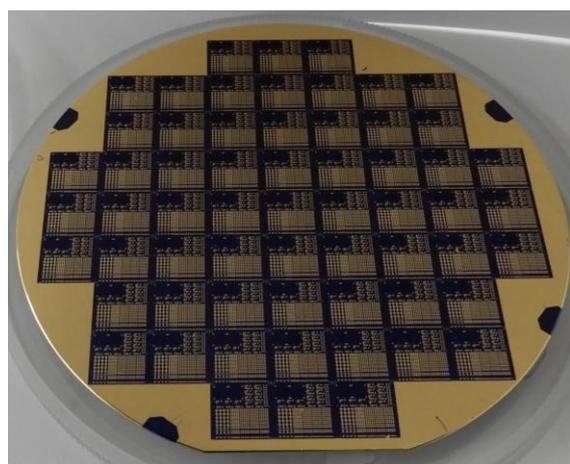


Fig.1 Picture of back-gate type 4 inch Graphene FET devices ( $\text{SiO}_2 = t 100\text{nm}$ ).

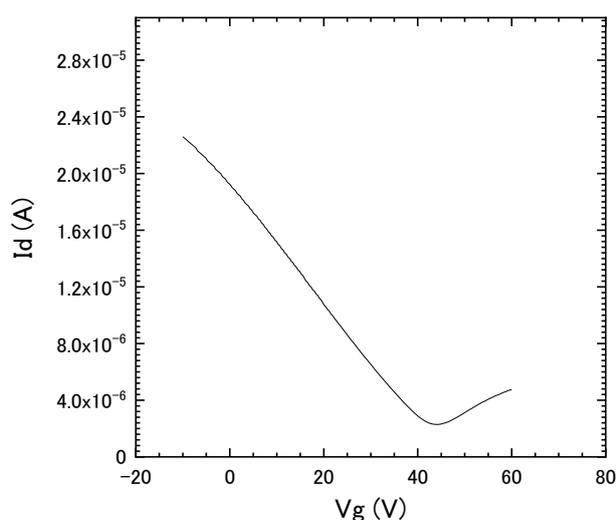


Fig.2 I-V curve for graphene FET device analyses through van der pauw method at room temperature. (Drain voltage 100mV, device size  $\square 200 \mu\text{m}$ )