

# MONOS 型ポリシリコン TFT でのしきい値電圧制御に関する検討

## On the Threshold Voltage Control of MONOS-Type Poly-Si TFT

東北大未来研<sup>1</sup>

○後藤 哲也<sup>1</sup>, 諏訪 智之<sup>1</sup>, 須川 成利<sup>1</sup>

Tohoku Univ.<sup>1</sup>

E-mail: tetsuya.goto.b2@tohoku.ac.jp

フラットパネルディスプレイの駆動回路等で用いられるポリシリコン薄膜トランジスタ (TFT) は、アモルファスシリコンや酸化物半導体の TFT に比べ移動度が高いという利点があるが、しきい値電圧 ( $V_{th}$ ) 等の電気的特性のばらつきが大きいという課題がある。ディスプレイのみならず、高付加価値な電子デバイスシステムを実現するには、集積した多数の TFT の  $V_{th}$  ばらつきを抑制することが必須である。そこで、我々は TFT のゲート絶縁膜に不揮発性メモリで用いられるような電荷蓄積層を導入して  $V_{th}$  制御を行うことで、多数の TFT の  $V_{th}$  ばらつきの低減・均一化できるか検討を始めることとした。初期検討として、シリコン窒化膜を電荷蓄積層とする金属/酸化膜/窒化膜/酸化膜/シリコン (MONOS) 構造を導入した N 型 TFT を石英基板上に作製し (図 1)、単体 TFT において  $V_{th}$  制御性の検討を行った。ポリシリコンは LPCVD で形成したアモルファス Si を熱アニール (650°C 6h) で結晶化して形成した。ゲート長 (L) /ゲート幅 (W) =20/30 $\mu\text{m}$  である。電荷蓄積層は SiN (60nm) とし、ポリシリコン側、ゲート電極 (TiN) 側にそれぞれ SiO<sub>2</sub> (30nm) で挟む構造とした。SiN、SiO<sub>2</sub> 共に、マイクロ波励起プラズマ CVD で形成した[1]。図 2 は、電荷注入前後のトランスファ特性 (ドレイン電流-ゲート電圧特性) を示す。トランスファ特性はゲート電圧を-10V から 40V の範囲で 2 重掃引して得た。電荷注入はソース/ドレイン電極を接地してゲート電極に 60V の電圧を 20s 印加し、ポリシリコン側から電子を SiN 膜に注入させた。図 2 に示す通り、しきい値電圧を正側にシフトすることを確認できた。今後、制御した  $V_{th}$  の安定性や、電荷注入メカニズムを調査する予定である。

本研究の一部は科研費 (22K04194) の助成を受けて行われた。

<sup>[1]</sup> A. Teramoto et al., ECS Trans., 66 (2015) p. 15.

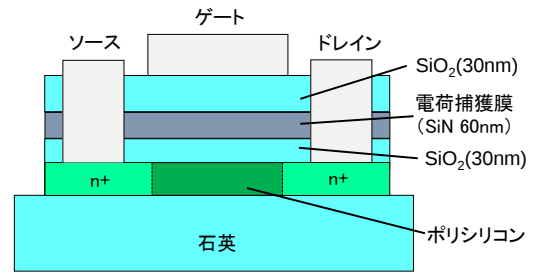


図 1: MONOS 型ポリシリコン TFT

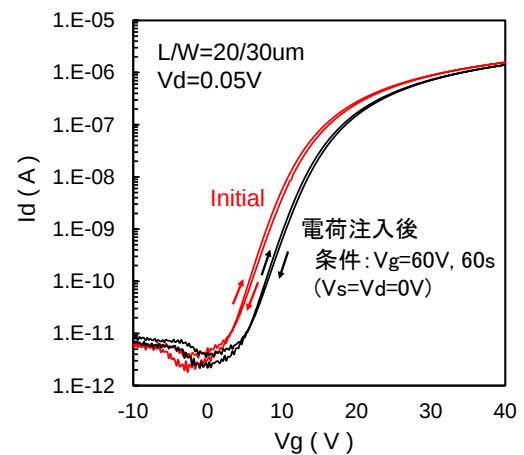


図 2: 製作した MONOS 型ポリシリコン TFT の電荷注入前後のトランスファ特性