

CLC-Si-TFT における Grain-boundary の影響

Effect of Grain-boundary in CLC-Si-TFT

奈良先端大¹, Sasaki Consulting², 高山智之¹, 佐々木伸夫^{1,2}, 浦岡行治¹

NAIST¹, Sasaki Consulting², Satoshi Takayama¹, Nobuo Sasaki^{1,2}, Yukiharu Uraoka¹

E-mail: Takayama.satoshi.tt3@ms.naist.jp

[はじめに]

低温多結晶シリコン(LTPS)は, a-Si と比較して高いキャリア移動度を有するため, 薄膜トランジスタ(TFT)のチャンネル領域として, ディスプレイや三次元 IC への活用が期待されている. 現在広く用いられているエキシマレーザーアニール(ELA)による LTPS の製造では, 結晶粒が小さいために移動度は最大 $\sim 200 \text{ cm}^2/\text{Vs}$ 程度である. 一方, 連続波レーザーラテラル結晶化(CLC)による結晶化 Si は $500 \text{ cm}^2/\text{Vs}$ 以上のキャリア移動度が実現可能である^[1]. さらに, 従来の線状 beam に替わって, uniformity の高い top-flat 線状 beam を用いた CLC では, 結晶方位が(100)に揃っているだけでなく, 結晶粒界 (Misfit angle $> 15^\circ$ で定義) が存在しない (Grain-Boundary Free) 巨大結晶をスキャンに沿って定常的に得ることができる^[2]. Grain-Boundary Free 域では最大移動度 $694 \text{ cm}^2/\text{Vs}$ の isotropic な TFT 特性が得られている^[3]. 本研究では, 測定を行った TFT そのもののゲート電極およびゲート絶縁膜を剥離し, チャンネル部の結晶性を調べることで Grain-Boundary-Free 領域に TFT が実際に作製されていることを確認した.

[実験方法]

石英基板上に CVD で a-Si を堆積した後, SiO_2 Cap 層を 120nm 堆積し, 波長 532nm の Nd:YVO₄ CW-Green レーザーを用い, CLC スキャンを行った. 結晶化した試料を用いて作製した TFT は測定後, Mo 電極(250nm)を林純薬工業の Pure AS101 により 3 分間浸漬エッチングを行った. その後バッファードフッ酸にて絶縁膜である CVD- SiO_2 (120nm)のエッチングを 3 分間行った. チャンネル部の結晶性評価は SEM (HITACHI SU-6600)を用いて行った後, Secco エッチングによる評価を行った.

[実験結果・考察]

レーザー結晶化により Grain-Boundary-Free 領域を形成した試料にて TFT を作製した. TFT はレーザースキャン方向に対して平行及び垂直にチャンネル領域が配置されている. TFT 特性および EBSD 像については以下に示す(図 1, 2). TFT のゲート電極および絶縁膜の剥離し観察した部分で, チャンネル領域に結晶粒界は観察されなかった. TFT の全体像およびチャンネル領域の模式図を図 3 に示す. Secco エッチングによる結晶粒界の評価については当日に議論する.

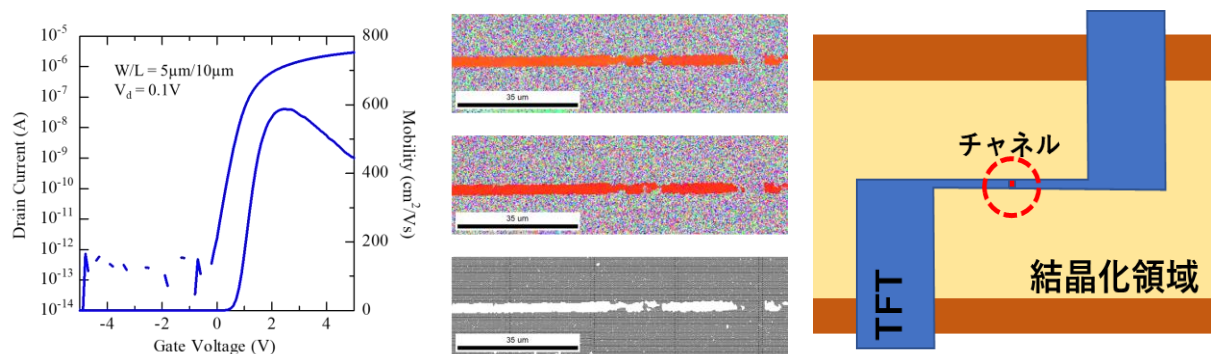


図 1. Electrical Characteristic. 図 2. EBSD image after TFT peeling (上:IPF-ND, 中:IPF-SD, 下: Misfit Angle $15^\circ < \theta < 65^\circ$). 図 3. Schematic diagram of TFT.

[参考文献]

- [1] A. Hara et al., Jpn.J.Appl.Phys.43,1269 (2004).
- [2] M. Arif, N. Sasaki, Y. Ishikawa, and Y. Uraoka, Thin Solid Films 708, 138127 (2020).
- [3] N. Sasaki et al., Ext. Abst. Int. Conf. Solid State Dev. Mat., 548(2021).