

シリコンダブル量子ドットの作製と低温特性評価

Fabrication and Low Temperature Characteristics of Silicon Double Quantum Dots

東大生研¹, 産総研², 東大 d.lab³ ○(M2)金 駿午¹, 水谷 朋子¹, 更屋 拓哉¹, 岡 博史²,
森 貴洋², 小林 正治^{1,3}, 平本 俊郎¹

¹IIS, Univ. of Tokyo, ²AIST, ³d.lab, Univ. of Tokyo ○Jun-Oh Kim¹, Tomoko Mizutani¹, Takuya Saraya¹, Hiroshi Oka², Takahiro Mori², Masaharu Kobayashi^{1,3}, and Toshiro Hiramoto¹

E-mail: jn-kim@nano.iis.u-tokyo.ac.jp

【序】 シリコン (Si) ダブル量子ドットは、2つのドット内にキャリアを閉じ込めたナノスケールデバイスであり、電荷スピンを利用した Si 量子ビット、センサトランジスタ、単電子ポンプなど、量子物理やエレクトロニクスに関連するさまざまな研究用途に使用できるため注目されている[1-3]。本研究では Si ナノワイヤ上に2つの微細ゲートを隣接させた Si ダブル量子ドットを作製し、低温での特性を測定することで2つのドットがカップリングしていることを確認した。

【実験内容】 本研究で作製した Si ダブル量子ドット構造の SEM 画像及び模式図を Fig. 1 に示す。SOI 基板上に電子線リソグラフィ (EBL)、ドライエッチング、熱酸化によりナノワイヤ幅 (NW) 40 nm、厚さ 20 nm、長さ 700 nm、ゲート酸化膜厚 10 nm の Si ナノワイヤを形成した。次にリンドープのポリシリコンを堆積して EBL、ドライエッチングにより微細ゲート (G1, G2) を形成した。それぞれの微細ゲート幅 (GW) は 70 nm であり、ゲート間のピッチ (GP) は 130 nm である。さらに LPCVD により酸化膜とポリシリコンを蒸着することでグローバルな Top Gate (TG) を形成し、TG をマスクとしてイオン注入を行った。**【実験結果】** 作製したデバイスを $T = 3.8$ K の環境で電流電圧測定を行った。ドレイン電圧 $V_D = 5$ mV、TG の電圧 $V_{TG} = 3$ V において V_{G1} と V_{G2} を変化させたときの電流の等高線プロットを Fig. 2 に示す。Fig.2 の結果より2つの量子ドットを隣接してカップリングしている場合の典型的な Honeycomb 状の電荷安定図が得られた。**【謝辞】** 本研究の一部は科学研究費補助金基盤研究(A)の援助を受けた。**【文献】** [1] R. Maurand et al., Nat Comm., 7, 13575, 2016. [2] F. Ansaloni et al., Nat Comm., 11, 6399 2020. [3] T. Tantt et al., New J. Phys. 17 103030, 2015.

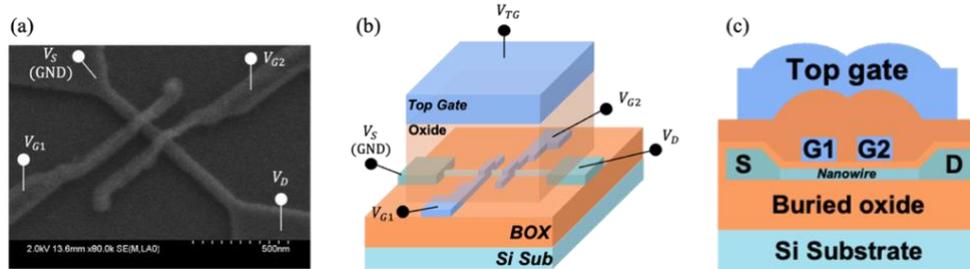


Fig.1 (a) SEM image, (b) schematic 3D view, and (c) schematic cross section of the fabricated device.

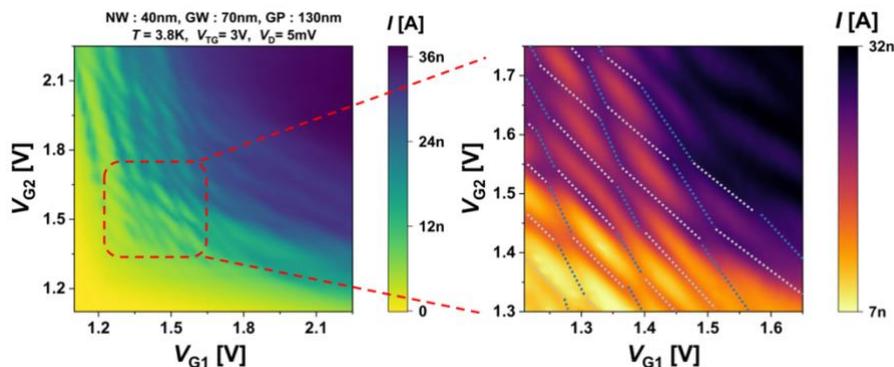


Fig.2 Measured stability diagram of the double quantum dot as a function of V_{G1} , V_{G2} at $T = 3.8$ K.